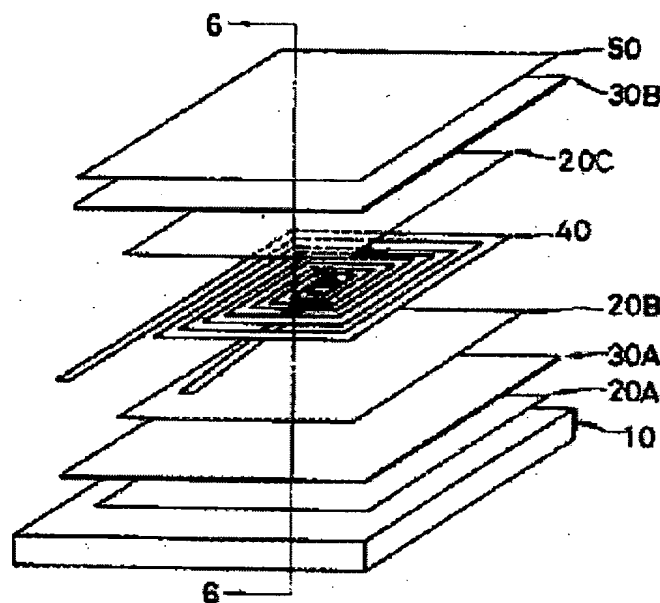


**FLAT MAGNETIC ELEMENT AND ITS MANUFACTURING METHOD****Patent number:** JP2001102235**Publication date:** 2001-04-13**Inventor:** MIZOGUCHI TETSUHIKO; SATO TOSHIRO; SAHASHI MASASHI; HASEGAWA MICHIO;  
SAWABE ATSUSHI; TOMITA HIROSHI**Applicant:** TOSHIBA CORP**Classification:****- international:** H01F41/04**- european:****Application number:** JP20000267609 19910528**Priority number(s):****Abstract of JP2001102235****PROBLEM TO BE SOLVED:** To provide a flat magnetic element for flat inductors, plane transformers, etc.**SOLUTION:** A flat magnetic element is constituted by laminating an insulating layer and magnetic material layer upon a flat coil in which the groove section between adjacent coil conductors has a groove aspect ratio (thickness of coil conductors/interval between coil conductors) of  $\geq 1$ . When this magnetic element is used in a flat inductor, the Q-value of the inductor can be improved and, when this element is used in a transistor, the gain and voltage regulation of the transformer can be improved. This magnetic element is also suitable as an element for an integrated circuit and can greatly contribute to the size reduction and thickness reduction of the electronic equipment.

Usp 5583474  
5801521  
6404317, 6593841

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2001-102235

(P 2001-102235A)

(43) 公開日 平成13年4月13日(2001. 4. 13)

(51) Int. Cl. 7

識別記号

F I

テーマコード\*(参考)

H 0 1 F 41/04

H 0 1 F 41/04

C

審査請求 有 請求項の数 7

O L

(全 3 8 頁)

(21) 出願番号 特願2000-267609(P2000-267609)  
(62) 分割の表示 特願平3-121681の分割  
(22) 出願日 平成3年5月28日(1991. 5. 28)  
  
(31) 優先権主張番号 特願平2-139989  
(32) 優先日 平成2年5月31日(1990. 5. 31)  
(33) 優先権主張国 日本(J P)  
(31) 優先権主張番号 特願平2-269397  
(32) 優先日 平成2年10月9日(1990. 10. 9)  
(33) 優先権主張国 日本(J P)  
(31) 優先権主張番号 特願平2-269398  
(32) 優先日 平成2年10月9日(1990. 10. 9)  
(33) 優先権主張国 日本(J P)

(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 溝口 徹彦  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内  
(72) 発明者 佐藤 敏郎  
神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝総合研究所内  
(74) 代理人 100058479  
弁理士 鈴江 武彦 (外6名)

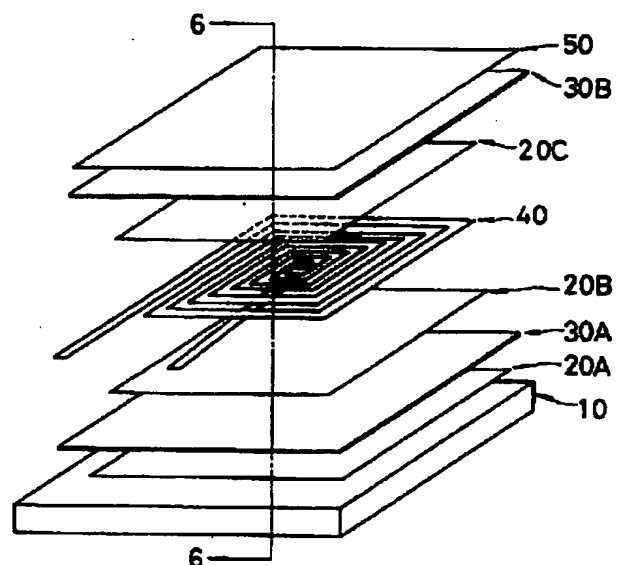
最終頁に続く

(54) 【発明の名称】 平面型磁気素子及びその製造方法

(57) 【要約】

【目的】 本発明は平面インダクタや平面トランスなどの平面型の磁気素子を提供することを目的とする。

【構成】 本発明は、隣接するコイル導体間の溝部が1以上の溝アスペクト比(コイル導体の厚さ/コイル導体間の間隔)を有する平面コイルに、絶縁体層及び磁性体層を積層してなることを特徴とする磁気素子である。本発明による平面型磁気素子により、インダクタについてはQを、トランスではゲインおよび電圧変動率を改善することができ、集積回路用素子として適しており、電子機器の小型・薄型化に大いに貢献する。



## 【特許請求の範囲】

【請求項 1】 基板上に第 1 磁性体層を形成する工程と、

前記第 1 磁性体層上に第 1 絶縁体層を形成する工程と、  
前記第 1 絶縁体層上に、隣接するコイル導体間の溝部が  
1 以上の溝アスペクト比（コイル導体の厚さ／コイル導  
体間の間隔）を有する平面コイルを形成する工程と、  
前記平面コイル上に第 2 絶縁体層を形成する工程と、  
前記第 2 絶縁体層上に第 2 磁性体層を形成する工程とを  
備え、

前記各工程が薄膜プロセスによって行われることを特徴  
とする平面型磁気素子の製造方法。

【請求項 2】 前記平面コイルを形成する工程は、前記  
平面コイルの線高と線幅との比が 1 以上であるような導  
体アスペクト比（コイル導体の厚さ／コイル導体の幅）  
を有する平面コイルを形成する工程を有すること、を特  
徴とする請求項 1 に記載の平面型磁気素子の製造方法。

【請求項 3】 前記平面コイルの隣接導体間の溝部に空  
洞を形成する工程を更に備えたこと、を特徴とする請求  
項 1 又は請求項 2 に記載の平面型磁気素子の製造方法。

【請求項 4】 前記平面コイルがスパイラル状で、か  
つ、 $w \geq a_0 + 2\alpha$  であり、 $w$  は前記第 1 及び第 2 磁性  
体層の外形寸法、 $a_0$  は前記平面コイルの前記コイル導  
体の外形寸法、 $\alpha = [\mu_s \cdot g \cdot t / 2]^{1/2}$ （ $\mu_s$  は前  
記第 1 及び第 2 磁性体層の透磁率、 $t$  は前記第 1 及び第  
2 磁性体層の厚さ、 $g$  は前記第 1 及び第 2 磁性体層間の  
距離）としたこと、を特徴とする請求項 1 又は請求項 2  
に記載の平面型磁気素子の製造方法。

【請求項 5】 前記第 1 及び第 2 磁性体層は、前記平面  
コイルが発生する磁界の方向と直交する方向に一軸磁気  
異方性を有すること、を特徴とする請求項 1 又は請求項  
2 に記載の平面型磁気素子の製造方法。

【請求項 6】 前記平面コイルは複数の長方形スパイ  
ラルコイルを含み、前記平面コイルの長軸と一軸磁気異  
方性を有する前記第 1 及び第 2 磁性体層の磁化容易軸とが  
一致すること、を特徴とする請求項 1 又は請求項 2 に記  
載の平面型磁気素子の製造方法。

【請求項 7】 前記平面コイルは直列接続された複数の  
長方形スパイラルコイルを含み、前記平面コイルの長軸  
方向と、一軸磁気異方性を有する前記第 1 及び第 2 磁性  
体層の磁化容易軸とが一致すること、を特徴とする請求  
項 1 又は請求項 2 に記載の平面型磁気素子の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は平面インダクタや平  
面トランスなどの平面型の磁気素子に関する。

## 【0002】

【従来の技術】 近年、各種電子機器の小形化が盛んに進  
められ、これに伴って機器全体に占める電源部の容積比  
率は増大する傾向にある。これは、各種の回路が L S I

化される一方で、電源部に必須の回路要素であるインダ  
クタやトランスなどの磁気部品の小形・集積化が遅れて  
いるためである。

【0003】 インダクタやトランスなどの磁気素子を小  
形化するために、これらの磁気素子を平面型にすることが  
試みられている。従来、平面型インダクタとしては、  
スパイラル平面コイルの両面を絶縁体層で挟み、更にこ  
れらの両面を磁性体で挟んだ構造のものが知られてい  
る。同様に、平面型トランスとしては、絶縁体層を介し  
て 1 次側のスパイラル平面コイルと 2 次側のスパイラル  
平面コイルとを形成し、これらの両面を絶縁体層で挟  
み、更にこれらの両面を磁性体で挟んだ構造のものが知  
られている。なお、スパイラル平面コイルは、1 層のス  
パイラル状コイル導体からなるものでもよいし、絶縁体  
層の両面に 2 層のスパイラル状コイル導体を形成して発  
生磁界が同一方向となるように接続したものでもよい。

【0004】 この平面型磁気素子については、“High-Fre  
quency of a Planar-Type Microtransformer and Its  
Application to Multilayered Switching Regulators”;  
K. Yamasawa et al., IEEE Trans. Mag. Vol. 26, No. 3, May  
1990, pp. 1204-1209 で報告されているが、動作に対する  
損失が大きい。また、同様の平面型磁気素子について、  
米特許番号 4, 803, 609 で開示されている。

【0005】 更に、これらの平面型磁気素子を小形化す  
るには、これらを半導体製造プロセスと同様に薄膜プロ  
セスを利用して製造することが検討されている。

【0006】 このような構成の平面インダクタは、使用  
する周波数帯域において十分高い Q 値を持つことが必要  
である。また、平面トランスは、トランスゲインを所定  
の値（昇圧ならばゲイン > 1、降圧ならばゲイン < 1）  
にし、かつ電圧変動率を小さくする必要がある。

【0007】 平面インダクタの Q は、

$$Q = \omega L / R$$

で表わされる。ここで、R はコイル抵抗、L はインダク  
タンスである。

【0008】 また、平面トランスのゲイン G は、

$$G = k (L_2 / L_1)^{1/2} \cdot \{Q / (1 + Q^2)\}^{1/2}$$

で表わされる。ここで、k はトランスの 1 次コイルと 2  
次コイルの結合係数、L1、L2 は 1 次及び 2 次側のイン  
ダクタンス、Q は  $Q = \omega L_1 / R_1$  で与えられ、R1 は 1  
次側のコイル抵抗である。トランスのゲインは  $Q \ll 1$   
のとき Q にほぼ比例し、 $Q \gg 1$  のとき Q に無関係に一  
定値  $k (L_2 / L_1)^{1/2}$  となる。

【0009】 インダクタの Q 及びトランスのゲイン G を  
高くし、電圧変動を抑制するには、可能な限りコイル  
抵抗を低減させ、インダクタンスを大きくすることが必  
要である。

【0010】 しかし、従来の薄膜プロセスによる平面型  
磁気素子では、平面コイルを構成するコイル導体の断面  
積を大きく取れなかったため、コイル抵抗が非常に大き

く、インダクタンスが小さく、漏れ磁束が多かった。この結果、インダクタではQが低く、トランスではゲインGが低く電圧変動率が大きいため、実用化の大きな障害となっていた。

【0011】インダクタに限定して、その性能を考慮した場合、平面コイルパターンとしては、インダクタンスを大きく取れ、そのために品質係数Qが高いなどの理由で、スパイラル型が有利である。実際に、図1に示されるような急冷して得られたアモルファスリボンを適当な寸法に切ったアモルファス磁性合金箔と正方形スパイラル平面コイルを用いた平面インダクタが製作され、5V・2W級降圧チョッパ型DC-DCコンバータの出力チョークコイルに応用されている（平成元年電気学会全国大会）。この場合、図2Aのように、インダクタには負荷電流に相当した直流電流と半導体スイッチのスイッチングによる交流電流とが流れる。直流電流の増大に伴って、磁性体の動作点はB-H曲線の飽和領域に至り、透磁率の増加割合が低下するので、インダクタンスは急激に小さくなる（図2B参照）。図3はこの様子を示すもので、このときの交流過電流は半導体スイッチに過大なストレスを与え、素子を破壊させる場合がある。

【0012】直流重畳電流とインダクタンスの関係を直流重畳特性と呼ぶが、チョークコイルには直流電流を重畳した場合でもインダクタンスなどの電気的特性が一定であることが望まれる。図4に代表的な直流重畳特性の様子を示した。

【0013】このようなチョークコイルでは、負荷電流に相当する直流電流と半導体スイッチのスイッチングによる交流電流とが流れる。チョークコイルには、大きな直流電流が重畳された場合でも、インダクタンスなどの電気的特性ができるだけ一定しているという直流重畳特性を有することが要求される。しかし、直流重畳電流が増大した結果、磁性体の動作点がB-H曲線の飽和領域に達すると透磁率の増加割合が低下するので、インダクタンスは急激に小さくなる。また、このときの過電流は半導体スイッチに過大なストレスを与え、素子を破壊させる場合がある。

【0014】特に、平面インダクタではコイル導体と磁性体とが非常に接近しており、小さなコイル電流でも発生する磁界の値が大きいため、磁性体が磁気飽和しやすい。その具体例として、Al-Cu合金からなるスパイラル平面コイルと、その両面に設けられた絶縁体層と、これらの両面に設けられた磁性体層とで構成される平面インダクタについて以下に説明する。この平面インダクタでは、スパイラル平面コイルを構成するコイル導体は幅50μm、厚さ10μm、導体間間隔10μm、巻数20、絶縁体層は膜厚1μm、磁性体は膜厚5μm、飽和磁束密度BS=15kG、透磁率μs=5000である。

【0015】コイル導体として用いられているAl-C

u合金の許容電流密度を $5 \times 10^8 \text{ A/m}^2$ と仮定した場合、許容電流I<sub>max</sub>は250mAである。ところが、コイル電流とこれによって発生する磁性体面内磁界との関係を調べたところ、コイル電流が48mA以上になると、磁性体が磁気飽和した。すなわち、この平面インダクタをチョークコイルとして用いる場合、最大直流重畳電流は48mAに制限されることになる。この値は、コイル許容電流の約1/5にすぎず、磁性体が容易に飽和することがわかる。

【0016】直流重畳特性の問題は、チョークコイル用インダクタの場合に限定されず、トランスの場合でも重要である。例えば、フォワード型又はフライバック型のDC-DCコンバータ用トランスでは、1次コイルに片極性のパルス電圧が印加されるので、やはり磁気飽和によるインダクタンスの急激な低下が問題になる。また、プッシュプル型のDC-DCコンバータではトランスに印加される電圧は原理的には正負対称であるので、磁気飽和の影響は軽微であると考えられがちであるが、スイッチングトランジスタの特性のばらつきなどにより正負のオン時間が変動してトランスが偏磁するため、やはり磁気飽和によるインダクタンスの急激な低下が問題になる。

【0017】このような問題において、平面型のインダクタやトランスを構成する磁性体の磁気飽和の影響を軽減することにより、直流重畳特性を改善でき、このような平面型磁気素子において、磁性体の磁気異方性の有効的な利用が模索されている。

【0018】平面コイルとしては、つづら折れ型、スパイラル型、つづら折れスパイラル複合型など種々のコイルパターンが用いられている。これらのコイルパターンのうち、インダクタンスの値を最も大きくできるのは、スパイラル型である。したがって、同一の電気的特性を得るにあたり、他のコイルパターンに比べてより小形化できる。しかし、スパイラル型の場合、外部引き出し端子を設けるには、2層スパイラルコイルをスルーホール導体で接続するか、又は端子引き出し用導体を別途設けなければならない、他のコイルパターンに比べて製造プロセスがやや複雑である。

【0019】また、電子回路技術者にとっては、電子回路に用いる磁気素子が回路調整のためのトリミング機能を持っていることが好ましい。従来、トリミング機能付き磁気素子としては、例えば磁気回路の一部にコイル磁芯との距離を調節できるねじ部を設け、磁気回路のギャップを変えることによりインダクタンスを連続的に可変できるようにしたものが用いられている。しかし、従来の平面磁気素子の性能は、平面コイルや磁性体の特性、素子の構造パラメータなどに著しく依存する。これら因子は素子の製造プロセスに大きく影響を受けるため、製造後の素子特性のばらつきが非常に大きかった。しかも、構造的な問題から、従来の平面磁気素子にトリミン

10

20

30

40

50

グ機能を付加することは困難であった。

【0020】さて、漏れ磁界が少なく、かつ、電流量が大きく取れるように設計された磁気素子については、"Issues Related to 1-10-MHz Transformer Design"; A.F. Goldberg et al., IEEE Trans. Power Electronics Vol. 4, No. 1, January, 1989, pp. 113-123 で報告されている。

【0021】以上述べたように、平面型磁気素子は小形・集積化に大きく貢献するものと期待されているが、実用化にはほど遠く、電源部に代表されるLC回路を含んだ回路部の小形化は達成されていない。

【0022】積層型平面インダクタは本質的に閉磁路を持つので、

(1) 他のデバイスと一緒に集積化する際、他のデバイスの動作に影響を及ぼさないこと(漏れ磁束の無いこと)

(2) インダクタンスが大きいことを満たすことは難しい。このため、電源部に代表されるLC回路を含んだ回路部の小型・集積化は達成されていない。これらの点に関する要望、すなわち要求する諸性能を満たす平面型磁気素子の実用化が強く要望されている。

【0023】一方、構造的な問題から、従来の平面磁気素子にトリミング機能を付加することは困難であった。

【0024】

【発明が解決しようとする課題】本発明の目的は、平面型磁気素子を提供することである。

【0025】第1の目的は、小型集積化が可能である。

【0026】第2の目的は、インダクタンスを大きく取れる。

【0027】第3の目的は、磁束の外部漏洩が少ない。

【0028】第4の目的は、高周波特性及び直流重畳電流特性が優れている。

【0029】第5の目的は、電流量の大きいインダクタンスを含む。

【0030】第6の目的は、端子の引出しが容易である。

【0031】第7の目的は、外部から電気的特性を調整できるトリミング機能を有している。

【0032】

【課題を解決するための手段】本発明では、下記に示す手段により上記の目的を達成する。また、各手段は各々独立ではなく、組み合わせて使用することが可能であり、組み合わせることによって、更なる性能の向上及び取扱の便宜を図ることができる。

【0033】本発明の第1の手段は、隣接するコイル導体間の溝アスペクト比(コイル導体の幅/コイル導体間の間隔)が1以上であるスパイラル平面コイルに、絶縁体及び磁性体を積層してなることを特徴とする。

【0034】本発明の第2の手段は、コイルを構成する

導体の導体アスペクト比(コイル導体の幅/コイル導体の高さ)が1以上であることを特徴とする。

【0035】本発明の第3の手段は、スパイラル平面コイルを磁性体を挟んで成る積層型の平面インダクタにおいて、磁性体の外形寸法 $w$ をスパイラル外形寸法 $a_0$ よりも $2\alpha$  ( $\alpha = [\mu s \cdot g \cdot t / 2]^{1/2}$ ;  $\mu s$ は磁性体透磁率、 $t$ は磁性体厚み、 $g$ は上下磁性体間の距離)以上大きく設定したことを特徴とする。

【0036】本発明の第4の手段は、平面コイルの上面及び下面を磁性体層で挟んだ磁気素子において、前記磁性体層が平面コイルが発生する磁界の方向と直交する方向に一軸磁気異方性を有することを特徴とする。

【0037】本発明の第5の手段は、平面コイルを磁性体層で挟んだ構造の磁気素子において、前記平面コイルが、複数の外部接続端子を有し、かつ、外形寸法の異なる複数の1ターン平面コイルからなり、前記1ターン平面コイルは同一平面上に配置されることを特徴とする。

【0038】本発明の第6の手段は、閉磁路を構成する磁性体層が導体層が包囲するように構成され、前記導体層に流れる面電流により前記磁性体層が閉磁路方向に磁化されるように構成したことを特徴とする。

【0039】

【作用】本発明の各手段に係る作用を、各手段毎に説明する。

【0040】本発明の第1の手段による平面型磁気素子は、コイル抵抗を低減し、その結果、インダクタでは $Q$ を、トランスではゲインおよび電圧変動率を改善することができる。

【0041】本発明の第2の手段による平面型磁気素子は、コイルを構成する導体の断面積を大きくすることにより許容電流を大きく取ることが可能である。

【0042】本発明の第3の手段による平面型磁気素子は、磁性体の外形寸法を大きくすることによって、外部への漏れ磁界を低減することを利用しており、その磁性体の外形寸法の最適設計により、インダクタ外部への漏れ磁束の低減、及び、インダクタンスの増大効果を図っている。

【0043】本発明の第4の手段による平面型磁気素子は、磁性体の一軸磁気異方性を有効に活用して、磁気飽和を生じにくくすることにより、直流重畳特性及び高周波特性に優れている。

【0044】本発明の第5の手段による平面磁気素子は、複数の外部接続端子を有する構造により、外部回路との電気的接続が極めて容易であり、外部から電気的特性のトリミングが可能であることにより、素子の応用上極めて有用な磁気部品となる。

【0045】本発明の第6の手段による平面型磁気素子は、ほぼ完全な内鉄構造となっていることから漏れ磁界が無く、かつ、有効な導体の断面積が大きいことから電

流容量が大きくとれる。

#### 【0046】

【実施例】以下、本発明を詳細に説明する。ここでは、便宜上、各手段について独立に説明を行なうが、前述したように、各手段を組み合わせることで磁気素子を形成することが可能である。材料については、どの手段についてもほぼ同様であることから、この説明の最後にまとめて記載する。

【0047】まず、図5から図11を参照して、第1の手段について説明する。

【0048】図5は第1の手段に係る平面インダクタの分解斜視図である。図5では、半導体基板10上に絶縁体層20Aを介して磁性体層30Aが配され、その上に絶縁体層20Bを介してスパイラル状のコイル導体からなるスパイラルコイル40が配されている。そして、その上に絶縁体層20C、磁性体層30B、保護層50がこの順で配されている。図6は図5の6-6断面図であり、同一部材には同一番号を付している。

【0049】図7は第1の手段に係る平面トランスの分解斜視図である。ここでは、1次コイルと2次コイルの巻数が同一の場合を示している。図7では、半導体基板10上に絶縁体層20Aを介して磁性体層30Aが配され、その上に絶縁体層20Bを介してコイル導体からなる1次側スパイラルコイル40Aが設けられている。このコイル40A上に絶縁体層20Cを挟んで配された2次側スパイラルコイル40Bが設けられている。さらに、その上に絶縁体層20D、磁性体層30B、保護層50がこの順で配されている。図8は図7の8-8断面図であり、同一部材には同一番号を付している。

【0050】なお、図5から図8では、基板としてシリコンなどの半導体を用いた場合を示してあるが、ガラス基板を用いた場合はそれ自体絶縁体であるので、磁性体層30Aの下地に絶縁体層20Aを設ける必要はない。

【0051】第1の手段においては、以上で例示した図5の平面インダクタ及び図7の平面トランスのいずれにおいても、スパイラルコイルを構成するコイル導体間の溝部の溝アスペクト比 $h/b$  ( $h$ はコイル導体の厚さ、 $b$ はコイル導体間の間隔)が1以上で形成されている。

【0052】このように1以上の高い溝アスペクト比 $h/b$ を有する溝を実現するには、種々の方法が考えられる。1つの方法として、ドライエッチングにより導体をスパイラル状に深溝エッチングした後、空隙部に絶縁体を埋め込む方法が考えられる。他の方法として、ドライエッチングによりコイル導体間の溝部に対応する領域に絶縁体パターンを形成した後、導体を埋め込む方法が考えられる。

【0053】前者の方法では、溝部の全体に絶縁体を埋め込む場合と空洞を形成する場合が考えられる。ここでは、溝部の全体に絶縁体を埋め込む場合を示し、溝に空洞を形成する場合については、本発明の第2の手段を説

明する時点で述べる。この方法では、平面コイル用の導体を形成し、この導体上にマスク材をコイルパターン状に形成し、ドライエッチング法により露出した導体をエッチングして溝アスペクト比 $h/b$ が1以上の深い溝を形成する。具体的には、高い指向性を持つイオンビームエッチング法、ECRプラズマエッチング法、反応性イオンエッチング法などを用いる。この際、マスク材や下地と導体とのエッチング選択比を十分確保して垂直異方性エッチングが実現できるように、適宜方法を選択する。

【0054】形成された高い溝アスペクト比 $h/b$ の溝部を有するコイル導体の上から絶縁体層を形成する際には、溝部を誘電率の低い絶縁体で埋め込み、かつ上部表面を平坦化することが好ましい。絶縁体として、 $\text{SiO}_2$ や $\text{Si}_3\text{N}_4$ など無機材料を用いる場合は、CVD法、反応性スパッタ法やバイアススパッタ法などのスパッタ法を適宜選択する。また、絶縁体として有機物を用いる場合は、低誘電率であるポリイミド(感光性のものも含む)などが望ましいが、レジストなどを用いてもよい。これらを溶剤とともにスピコートした後、適当な硬化処理によって絶縁体層を形成する。無機物、有機物にかかわらず、絶縁体をコイル溝の溝部に埋め込んだ後、エッチバック処理によりその上面を平坦にする。

【0055】後者の方法では、絶縁体層を形成し、この絶縁体層のコイル溝の溝部に対応する領域の上にレジストパターンを形成し、ドライエッチング法により露出した絶縁体層をエッチングして、溝部に対応する領域にコイルパターン状に絶縁体を残す。次に、レジストを残したまま、スパッタ法、CVD法、真空蒸着法などの方法により導体を埋め込み、スパイラルコイルを形成する。導体埋め込み後に、リフトオフ法によって、レジストとともにその上の導体を除去する。

【0056】前述したいずれの方法を採用するかは、スパイラル平面コイルのパターンに応じて適宜選択する。

【0057】本発明の第1の手段によって作製した磁気素子の効果について説明する。

【0058】図9は、平面インダクタを構成する導体の溝アスペクト比 $h/b$ とコイル抵抗 $R$ 及びインダクタンス $L$ との関係を示すグラフである。図9では、インダクタンス $L$ に関して、磁性体の透磁率( $\mu_s$ )と厚み( $t$ )との積 $\mu_s \cdot t$ をパラメータとし、 $\mu_s \cdot t = 5000 \mu\text{m}$ 又は $1000 \mu\text{m}$ の場合について示している。図9から明らかなように、インダクタンス $L$ は溝アスペクト比 $h/b$ にほとんど依存せず、ほぼ一定である。一方、コイル抵抗は溝アスペクト比 $h/b$ の増大に伴って急激に減少し、5以上ではほとんど一定になる。

【0059】図10は、平面インダクタを構成する導体の溝アスペクト比 $h/b$ と $L/R$ との関係を示すものである。 $L/R$ はインダクタの $Q$ に比例する量で、 $Q = 2\pi f L / R$  ( $f$ は周波数:Hz)の関係がある。図10

10

20

30

40

50

では、磁性体の透磁率 ( $\mu_s$ ) パラメータとし、 $\mu_s = 10^4$  又は  $10^3$  の場合について示している。図10から明らかなように、 $L/R$  は溝アスペクト比  $h/b$  の増大に伴って大きくなるが、5以上ではほとんど一定になる。

【0060】次表に、溝アスペクト比  $h/b$  を0.3、0.5、1.0、2.0、又は5.0に設定して作製された平面インダクタについて、5MHzにおけるQを示す。次表では、磁性体の透磁率 ( $\mu_s$ ) と厚み ( $t$ ) との積  $\mu_s \cdot t$  をパラメータとし、 $\mu_s \cdot t = 5000 \mu m^*$

\*又は  $1000 \mu m$  の場合について示している。表1から明らかなように、溝アスペクト比  $h/b$  が1の場合のQは0.3の場合の約3.5倍、0.5の場合の約1.5倍である。このように、溝アスペクト比  $h/b$  を1以上とすることにより、高いQを実現でき、平面インダクタの性能を大きく改善できる。

【0061】

【表1】

溝アスペクト比 $h/b$	インダクタのQ ( $f = 5 \text{ MHz}$ )	
	磁性体の透磁率 ( $\mu_s$ ) と厚み ( $t$ ) との積 $\mu_s \cdot t (\mu m)$	
	5 × 103 の場合	1 × 103 の場合
0.3	5.5	1.4
0.5	13.5	3.3
1.0	19.8	4.9
2.0	22.9	5.7
5.0	25.0	6.3

【0062】図11は、平面トランスを構成する導体の溝アスペクト比  $h/b$  と平面トランスの1次側コイルのQ及びトランスゲインGとの関係を示す。図11から明らかなように、溝アスペクト比  $h/b$  を1以上に大きくすることにより、Qを大きくでき、その結果トランスゲインGを大きくできる。

【0063】また、磁気素子を形成する場合、その性能を左右する材料の選択が大きな課題となるが、材料の選択については、本説明の最後に記載する。

【0064】第2の手段として、導体アスペクト比  $h/d$  ( $h$  はコイル導体の高さ、 $d$  はコイル導体の幅) を第2の手段に従って設定した例を示す。

【0065】図12Aは導体アスペクト比  $h/d$  及び溝アスペクト比  $h/b$  を設定した例の分解斜視図を示し、基板10上に直接平面コイル40が形成されている。図12Bは図12Aの12B-12B断面図であり、42はコイル導体を示す。導体は通常の半導体プロセスでの配線形成で利用されるような製法を用いることで形成できる。配線ピッチには自ずと限界がある。ピッチ幅が狭くなるほど小型化が可能であるが、高い導体アスペクト比化は困難になる。従って、所望の特性に応じて最も適当なピッチ、導体アスペクト比  $h/d$  を決め、製造することが望ましい。高い導体アスペクト比という点で特に数値を決めるものではないが、概ね1以上、すなわち、線高が線幅以上である高い導体アスペクト比  $h/d$  の導体からなることが好ましく、また、小型化という観点からは、高い溝アスペクト比  $h/b$  であることが好ましい。数値的には特に限定されるところはないが、マイクロコイルという観点からは、導体幅、溝距離共に  $10 \mu m$  以下程度であることが実質上効果を発揮すると考えられる。

【0066】さて高い導体アスペクト比  $h/d$  を有する導体の製造であるが、エッチングにより形成することを

考えると、狭く深い溝を刻むことになる。従って選択性の良好な導体膜を使用する必要がある。そのためには導体層としてエッチング容易面が導体形成面に対して平行になるように形成された配向性の結晶膜を用いることが望ましい。もちろん単結晶であればなお良い。

【0067】なお、前述の如くの工夫をしても小型化によりインダクタンスが不足することが考えられるが、リアクタンスは  $\omega L$  ( $\omega$  は駆動角周波数) であるため、駆動周波数の高周波数化で補うことができる。近年スイッチング周波数は高周波数化が進んでおり、微小化による低リアクタンスは十分に補うことができる。例えばMHz程度の高周波数領域ではnH程度の低インダクタンスでもインダクタとしては十分に動作する。

【0068】ここで、高い導体アスペクト比  $h/d$  の導体を接近させると、隣接する溝の対向面積が増大し、距離が近いこととの相乗効果で線間容量が増大する結果を招く。これを利用してLC回路を構成することも可能である。しかしながら一般にはLC共振周波数(カットオフ周波数)が小さくなり、インダクタとしての動作ができなくなり、高周波数化に対応できない可能性があるため、極力線間容量は低減したい。微細化されたコイル導体上には通常の半導体プロセスで利用されるように、例えばSiO<sub>2</sub>のような絶縁体が形成されるが、この絶縁体層20に代え線間を空洞化し、線間の誘電率を低減することで線間容量を低減することができる。この場合、平面コイル上に絶縁膜を形成する際、線間に空洞ができるような条件で成膜を行えば良い。従って空洞内は真空に近い状態の場合もあるし、絶縁膜の形成に用いた原料ガスが存在する場合もある。いずれにせよ、通常の固体状絶縁体が存在する場合に比べはるかに低誘電率であり、線間容量は確実に低減される。

【0069】この様な空洞の実現方法としては、通常の半導体素子形成プロセスで用いられているCVD法を応

用すればよい。一般の半導体プロセスでは密着性よく、全面にわたって $\text{SiO}_2$ などの絶縁膜を形成するわけであるが、第2の手段の場合はコイル上面での絶縁膜の形成が主体に進み、溝の空間は維持され、結果として空間上部に蓋がなされるような条件を設定すれば良い。具体的には、膜堆積速度が原料ガスの輸送速度で決まるように条件を設定すればよい（供給律速）。この様子を図13に示す。基板10上に形成された導体42から構成されるコイル上面には、直接原料ガス82が供給されるが、溝の下部では原料ガス82が到達しにくいので、上面 $\text{SiO}_2$ での膜80の成長が早く、図13A→図13B→図13C→図13Dと順に反応が進み、結果として上記のような空洞70が形成される。また図14に示すように、コイル導体42の上面に対し斜め方向( $\theta$ )から絶縁体粒子84をスパッタする事で空洞化は実現できる。しかしながら空洞化後の絶縁膜の平坦性を考慮すると、CVD法で形成することが望ましい。

【0070】空洞化に伴う線間容量の低減の効果を、図15に示した平行平板コンデンサで近似して説明する。

【0071】 $r$  (m)  $\times$   $t$  (m) の平行電極板間60A、60B (距離 $s_0$ ) に、非誘電率 $\epsilon$ の絶縁体20を

充填したときの容量( $C_0$ )は、

$C_0 = \epsilon_0 \cdot \epsilon \cdot t / s_0$  (F/m)

(但し、 $\epsilon_0$ は真空の誘電率)

となる。これに対し平行電極板間の空間に一様に幅

( $s$ ) の空洞が存在する場合の容量を $C$ とすると、

$C/C_0 = 1 / [k(\epsilon - 1) + 1]$

(但し、 $k$ は空洞が占める割合( $s/s_0$ )を示す)

となる。

【0072】ここで、図16に、絶縁体が $\text{SiO}_2$  (比誘電率約4) のときの $C/C_0$ の $k$ 依存性を示す。溝の空洞の割合をほぼ $1/3$ 以下とすれば、容量は絶縁体充填状態に比べ $1/2$ 以下になることが分かる。空洞に気体が存在する場合 (もしくは真空中に近い状態)、絶縁体の種類などでも異なるが、おおむね $1/3$ 以上の空洞化が実用的である。

【0073】さて、以上のようなコイルを基にインダクタを構成するのであるが、コイルだけではインダクタンスが小さいため、磁芯を構成するようにコイルに近接して磁性体層20を設けることが望ましい。この場合、漏れ磁界を極力低減するため、コイルの上下面を磁性体で挟む構造とすることが好ましい。この構造を図17に示す。表面に酸化膜を有する $\text{Si}$ 基板などの絶縁性の基板10上に磁性体層30Aを形成し、絶縁体層20Aを介して平面コイル40から構成されるコイルを形成し、更にその上に絶縁体層20Bを介して磁性体層30Bを形成する。この構造では磁性体層30A、30Bが磁気シールドの役割をも果たすことになり、外部への漏れ磁界をほとんどなくすることができる。従って周囲に配置する素子への影響の考慮が最小限度ですむため、トータルと

してみた場合、部品の小型化を実現できる。また場合によっては、磁芯を設けず、空芯コイルとして用いることも可能であり、片側だけに磁性体層を設けたもので用いることも可能である。なお図18に示した構造では平面コイルを、絶縁体層20Cを介することによって多層化したものを示す。こうすることでターン数を多くすることができ、高インダクタン化が図れる。

【0074】なお本発明に係るコイルは図19Aに示すようにスパイラル状、図19Bに示すようにミアンダー状など各種形態が考えられる。インダクタンス的にはスパイラルの方が有利である。

【0075】また、この場合、導体は通常の半導体で用いられるものに比べかなりの膜厚になるので基板との接合強度が問題となる場合が考えられる。その場合には、図20に示すように接合層25としてCrなどの薄層を介して基板10上に導体42を形成すれば良い。この接合層25を介する方法は、他の手段である第1、第3、第4及び第5の手段についても、同様のコイル形状であることから、同様に適用できる。また、導体は、所望の特性に応じて最も適当なピッチ、導体アスペクト比 $h/d$ を決定して製造することが好ましい。小形化という観点からは、隣接する導体間の間隔が導体の幅以下であることがあることが好ましい。これらの寸法は特に限定されないが、実質的な効果を得るためには隣接する導体間の間隔が $10\mu\text{m}$ 以下であることが好ましい。これについても、接合層と同様に他の手段に適用できる。

【0076】以上の説明は単独のインダクタの場合を主体に説明したが、例えば2個のコイルを組み合わせるマイクロトランスを構成することもできる。この構造の一例を図21に示す。表面に酸化シリコン膜が形成された $\text{Si}$ 基板などの基板10上に、磁性体層30A、絶縁体層20A、平面コイル40A、絶縁体層20B、平面コイル40B、絶縁体層20C、磁性体層30Bが順次積層されている。例えば、平面コイル40Aが一次コイルを構成し、平面コイル40Bが二次コイルを構成することになる。一次コイルと二次コイルは所望の巻線比に設定される。この様な構成では磁性体層30A、30Bは一次コイルと二次コイルとの積層体を挟むように設けられることが好ましい。また一次コイルと二次コイルとを、コイルの上から見た概念図として示した図22Aのように、同一平面上に形成しても良い。同図では一次コイルと二次コイルとが交互に組み合わせられ、同一平面上に存在している様子を示している。しかしながら必ずしも交互に組み合わせられる必要は無い。また、図22Bに示されるように一次コイルの内側に二次コイルが存在するように構成しても良い。

【0077】次に、第3の手段について説明する。

【0078】以下に、第3の手段手段を図23に示したスパイラルコイル40が1層の場合について説明する。図で、磁性体層30A及び磁性体層30Bの間に絶縁体



層 20A 及び 20B を介してスパイラルコイル 40 が配置されている。ここで  $a_0$  はスパイラルコイル 40 の外形の 1 辺の寸法、 $w$  は磁性体層 30A 及び 30B の一辺の寸法、 $t$  は磁性体層 30A 及び 30B の厚み、 $g$  は磁性体層 30A と 30B との間の距離である。また図 24 には、磁性体層 30A 及び 30B の間に絶縁体層 20C を介してスパイラルコイル 40A 及び 40B を配しスルーホール導体 42 を有した絶縁体層 20C を平面コイル 40A と 40B との間に配したものを示す。ここにおける  $a_0$ 、 $w$ 、 $t$ 、 $g$  は図 23 の場合と同様の部位の寸法を示している。

【0079】第 3 の手段は、スパイラル型平面コイルを絶縁体を介して上下より磁性体で挟み込む積層型平面インダクタにおいて、上述したようにスパイラル外形寸法と磁性体外形寸法の関係を最適化することにより、

(1) 外部への漏洩磁束が少なく磁気シールド効果が高い

(2) インダクタンスの値を増大できる

ことを可能にした。この場合、第 3 の手段による平面インダクタは、半導体あるいはガラス基板上に前薄膜プロセスで形成しても良いし、その他の絶縁基板（ポリイミドなどの各種高分子材料）上にスパイラルコイルを形成し、これを適当な絶縁フィルムを介して磁性箔でサンドイッチしても良い。

【0080】平面インダクタを他の部品と集積化する場合に、漏洩磁束によるノイズや回路の誤動作の問題がある。これは、ハイブリッド IC 化の点でも問題になるし、L や C を含んだすべての回路部品をモノリシックに集積化する 1 チップ化の際には更に大きな問題となる。すなわち、これらの集積回路の場合には、各部品が接近して配置されるために、インダクタの漏れ磁束の影響が一層深刻になるためである。平面インダクタにおいて、このような漏洩磁束の影響を軽減するために、第 3 の手段では、磁性体層の外形寸法  $w$  とスパイラルコイルの外形寸法  $a_0$  の相対関係を最適化した。

【0081】図 25A から C は、スパイラルコイル 40 の外形寸法  $a_0$  に対して磁性体層 30 の外形寸法  $w$  を種々変化させた場合の磁性体層の端部からの漏れ磁束 100 の様子を示すもので、 $w$  をある限度以上大きくすることにより、インダクタ外部への漏洩磁束を劇的に低減できる。ここで、図 25A は、ほぼ  $a_0 = w$  とし、図 25B から C は、 $w$  を順次大きくしたものである。また図 26 は、スパイラルコイル・磁性体積層型平面インダクタの磁界分布を描いたものである。この図より、スパイラルコイルの端部より  $\alpha$  ( $\alpha = [\mu_s \cdot g \cdot t / 2]^{1/2}$ ;  $\mu_s$  は磁性体の透磁率、 $t$  は磁性体層の厚さ、 $g$  は上下磁性体層間の距離) の距離だけ離れると磁界の大きさはコイル端部の値の約 0.37 倍に小さくなる。すなわち、磁性体層の外形寸法  $w$  として、スパイラルコイル外形寸法  $a_0$  よりも  $2\alpha$  以上大きくすれば、インダクタ外部へ

の漏洩磁束を劇的に低減できることが分かる。ここではコイル導体 42 の幅  $70 \mu\text{m}$ 、コイル導体間の距離  $10 \mu\text{m}$ 、磁性体間ギャップ  $5 \mu\text{m}$ 、コイル電流  $0.1 \text{A}$  とした。

【0082】図 27 は、磁性体層の端部（インダクタ端部）から外部へ漏れる磁束の大きさを  $w = a_0$  の時の値を基準にして示したものである。平面インダクタをモノリシックに集積回路内に形成する場合には、僅かな漏れ磁束でも他のデバイスに大きく影響するので、磁性体層の外形寸法  $w$  として  $a_0 + 10\alpha$  以上とすることが望ましい。これにより、磁束は外部に殆ど漏れはない。

【0083】さて、平面インダクタを設計する際には、インダクタンスをなるべく大きな値としたい。第 3 の手段のように、磁性体層の外形寸法  $w$  をスパイラルコイルの外形寸法  $a_0$  よりも  $2\alpha$  ( $\alpha$  は前述の通り) 以上大きくすれば、インダクタンスを有効に高めることができる。図 28 は、 $w$  の大きさを種々変えた場合のインダクタンス値の変化の一例を調べたもので、 $w \geq a_0 + 2\alpha$  とすることにより、 $w = a_0$  の場合の 1.8 倍以上の値が得られることが分かる。

【0084】本発明の第 4 の手段について説明する。なお、以下においては平面インダクタについて説明し、平面トランスについての説明は省略する。ただし、平面トランスの場合は 1 次側及び 2 次側の 2 つのスパイラル平面コイルを積層する以外は、構造的に平面インダクタとほぼ同一であり、第 4 手段によって得られる効果も類似のものである。

【0085】まず、図 29 に示すように、角型のスパイラル平面コイル 1 の両面を絶縁体層 20 で挟み、これらの両面を磁性体層 30 で挟んだ構造の平面インダクタについて考える。上下の磁性体層 30 には、図中矢印で示す方向に一軸磁気異方性が導入されているものとする。

【0086】この平面インダクタのスパイラル平面コイル 40 にコイル電流を流したとき、磁性体層 3 上での発生磁界の方向を図 30 に破線矢印で示す。A の領域では、コイルによる発生磁界の方向と一軸磁気異方性の方向（磁化容易軸の方向）とが一致する。一方、B の領域では、コイルによる発生磁界の方向と一軸磁気異方性の方向とが直交する、すなわち発生磁界の方向と磁化困難軸の方向とが一致する。

【0087】図 31 に、一軸磁気異方性を有する磁性体の磁化容易軸方向と磁化困難軸方向とで観測される B-H 曲線を示す。磁化容易軸方向では透磁率が非常に高い半面、飽和しやすく、磁化困難軸方向では反対に飽和しにくい。したがって、図 30 の A 領域は飽和しやすいが、B 領域は発生磁界の方向が困難軸の方向であるため飽和しにくい。図 32A に示すように、コイルによる発生磁界が大きいと、図 30 の A 領域は飽和して磁束が空間に漏れる。このとき、図 32B に示すように、磁束の大部分は図 30 の B 領域を通る。結局、インダクタンス

の大きさは困難軸方向の磁気特性に左右される。

【0088】第4の手段においては、磁性体の磁気飽和の問題を解決するために、以下に説明する3つの構造を採用する。第1は、スパイラル平面コイルの両面に、一軸磁気異方性を導入した複数層の磁性体を、隣り合う磁性体で一軸磁気異方性の方向が互いに直交する方向となるように、絶縁体層を介して積層するものである。第2は、スパイラル平面コイルの両面に、それぞれ底辺に平行な方向に一軸磁気異方性が導入された4個の三角形の磁性体を、これらの頂点が一致するように配置して構成される角型の磁性体層を設けるものである。第3は、

スパイラル平面コイルの両面に、コイルの電流方向と平行なストライプ状の凹凸を形成することにより形状一軸磁気異方性が導入された磁性体層を設けるものである。【0089】(1)第1の構造の平面インダクタの概略を図33に示す。この平面インダクタは、スパイラル平面コイル40の両面を、絶縁体層20A、第1層の磁性体層30A、絶縁体層20B、第2層の磁性体層30Bで順次挟んだ構造を有している。ここで、絶縁体層20については、ドットで示す(図35も同様)。図33のように構成した場合、スパイラル平面コイル40に最も近接している第1層の磁性体層30AでA領域に相当する部分は飽和しやすいが、A領域から空間に漏れだした磁束は第2層の磁性体層30BのB領域に相当する部分を通過する。結局、磁束は第1層、第2層のいずれの磁性体層においても、磁化困難軸の方向に通過し、磁気飽和が生じにくくなる。

【0090】図34に、図33の平面インダクタの直流重畳特性の例を実線で及び図29の平面インダクタの直流重畳特性の例を破線で示す。図34から明らかなように、磁性体層が2層の場合は、磁性体層が1層の場合と比較して、インダクタンスが倍増し、インダクタンスが低下し始める直流電流も増大する。

【0091】なお、図33ではスパイラル平面コイルの上下の磁性体層が2層ずつの場合について説明したが、図35に示すように磁性体層を4層ずつ設けるというように磁性体層を更に多層化してもよい。この場合も、スパイラル平面コイル40に対して奇数層目の磁性体層と偶数層目の磁性体層とで一軸磁気異方性の方向が互いに直交するようにする。

【0092】図33又は図35に示す平面インダクタは以下のような方法により製造できる。磁性体として3 $\mu$ m以上の厚さを有する非晶質合金、結晶質合金、酸化物などの軟磁性薄帯を用いる場合には、各磁性体に一軸磁気異方性を予め導入しておき、一層ごとに一軸磁気異方性の方向が互いに直交するように絶縁体層を介して積層する。

【0093】また、蒸着法やスパッタ法などの薄膜プロセスにより磁性体を形成する場合には、静磁場中成膜や成膜後の磁界中熱処理などによって一軸磁気異方性を導

入する。この場合、磁性体材料は磁歪が小さいことが好ましいが、応力分布を適当にコントロールできれば、磁歪の比較的大きな材料でも逆磁歪効果を介して一軸磁気異方性を導入できると考えられる。薄膜プロセスによって図33又は図35の平面インダクタを製造する場合には、磁性体層と絶縁体層とを交互に形成できるように多元式の成膜装置を用いることが生産性の点で有利である。

【0094】(2)第2の構造の平面インダクタの概略を図36に示す。この平面インダクタは、スパイラル平面コイル40の両面を、絶縁体層20及び磁性体層30で順次挟んだ構造を有し、各磁性体層30がそれぞれ底辺に平行な方向に一軸磁気異方性が導入された4個の三角形の磁性体を、これらの頂点が一致するように配置して構成されているものである。図36の平面インダクタでは、磁性体層30の全領域においてコイルにより発生する磁界の方向と磁化容易軸の方向とが直交するので、磁氣的に飽和しやすい領域は存在しない。

【0095】図37に、図36の平面インダクタの直流重畳特性の例を実線で、及び図29の平面インダクタの直流重畳特性の例を破線で示す。図37から明らかなように、図29の平面インダクタのインダクタンスは小電流領域では大きいものの、わずかな直流重畳電流の増大によって急激に低下し、その後一定になる。このインダクタンス一定の領域は図29のB領域のみの磁性体が動作しているためである。一方、図36の平面インダクタでは、インダクタンスが一定の範囲が小電流側から大電流側まで広く、またインダクタンスの値そのものも図1の場合に比べて2倍程度大きい。

【0096】図36の平面インダクタは以下のような方法により製造することができる。3 $\mu$ m以上の厚さを有する非晶質合金、結晶質合金、酸化物などの軟磁性薄帯を用いる場合は、薄帯を角型スパイラルコイルの一辺以上の寸法を底辺とする三角形に切断した後、これらの底辺に平行に磁界を印加した状態で熱処理を行って一軸磁気異方性を付与する。そして、4個の三角形磁性薄帯を、それぞれ磁化容易軸がコイル導体と平行になるように配置する。

【0097】また、蒸着法やスパッタ法などの薄膜プロセスで形成する場合には、三角形のマスクを用い、静磁場中成膜などによって一軸磁気異方性を付与する。すなわち、B領域に三角形のレジストマスクを形成した状態でA領域のコイル導体が延びる方向と平行に磁界を印加し、A領域に磁性膜を成膜する。A領域に磁性膜を所定の厚さに形成した後、B領域のレジストを除去してその上の磁性膜をリフトオフする。次に、A領域にレジストマスクを形成し、B領域のコイル導体が延びる方向と平行に磁界を印加してB領域に磁性膜を成膜する。最後に、前記と同様に、残ったレジストを除去してその上の磁性膜をリフトオフする。

【0098】(3)第3の構造の平面インダクタの概略を図38に示す。この平面インダクタは、スパイラル平面コイル40の両面を、絶縁体層20及び磁性体層30で順次挟んだ構造を有し、磁性体層30には、平面コイル40に流れる電流の方向と平行にストライプ状の凹凸が交互に形成されている(詳細形状は、図39参照)。このストライプ状の凹凸によって、一軸磁気異方性を有することができる。図38の平面インダクタでも、磁性体層30の全領域において、コイルにより発生する磁界の方向と磁化容易軸の方向とが直交するので、磁氣的に飽和しやすい領域は存在しない。

【0099】このように、ストライプ状の凹凸を有する磁性体層を形成する方法としては、フォトリソグラフィ又は機械的加工により下地にストライプ状の凹凸を形成した後、磁性体層を成膜する方法や、磁性体層を成膜した後、フォトリソグラフィ又は機械的加工により磁性体層自体にストライプ状の凹凸を形成する方法が採用できる。

【0100】磁性体層の表面を異方的な形状にすると、以下のような機構により形状磁気異方性が誘導される。\*20

$$x: (L+\delta)(i-1)-L/2 \leq x \leq (L+\delta)(i-1)+L/2$$

$$y: -\infty < y < +\infty$$

$$z: -w/2 \leq z \leq w/2$$

【0103】これらの式は、Y方向に無限に延びた帯状の凹凸がX方向に無限に繰り返している表面構造を意味する。膜の本来の磁気異方性が十分小さい場合、膜全体の形状磁気異方性により、磁化ベクトルIは膜面に平行となる。ここで、IのX軸方向の方向余弦を $\cos \phi$ とおく。 $\cos \phi$ が0でない場合、帯状の磁性体のYZ面に磁化Iと $\cos \phi$ との積で表される面密度の磁極が生\*

\*一般に、強磁性体は複数の磁区で構成されているが、十分薄い膜では磁性膜の上面から下面まで通して磁壁が存在せず、膜厚方向に単磁区の構造が実現することが知られている。磁区内の磁気モーメントは、近距離力である交換相互作用のために、一様な方向と大きさを持ち、外場に対して剛体的に回転するとみなせる。また、薄膜表面の凹凸などにより磁極が出現すると、反磁場及びもれ磁場が発生する。したがって、磁性体薄膜の表面又は界面に異方的な形状を形成して形状磁気異方性を導入すると、膜内の磁気モーメントが影響を受ける。ただし、磁性体層の表面形状は、以下に述べるように一定の条件を満たすことが好ましい。

【0101】図39に示すように、表面又は界面に互いに平行な帯状の凹凸を持つ磁性薄膜を考える。いま、凸部の帯状の磁性体部分に注目し、i番目の磁性体の存在領域を式(1)のように表す。ここで、dは凹部における磁性体の厚さ、Lは凸部の幅、Wは凹凸の段差、 $\delta$ は凸部間の間隔である。

【0102】

【数1】

※じる。この磁極が発生させる磁場は、(x, z)の関数として解析的に解くことができる。i=0の磁性体に注目すると、自分自身に及ぼす反磁場 $H_d$ 、及び無限に連なる帯状の磁性体から受ける有効磁場 $H_m$ は式(2)のように表される。

【0104】

【数2】

$$H_d = \frac{-I \cos \phi_0}{\mu_0} \left( \frac{\theta_{0.1} - \theta_{0.2} - \theta_{0.3} + \theta_{0.4}}{\ln \left\{ \frac{\cos \theta_{0.2} \times \cos \theta_{0.3}}{\cos \theta_{0.1} \times \cos \theta_{0.4}} \right\}} \right) \times \frac{1}{2\pi}$$

$$H_m = \frac{-I}{\mu_0} \sum_{i \neq 0}^{\pm \infty} \cos \phi_i \left( \frac{\theta_{i.1} - \theta_{i.2} - \theta_{i.3} + \theta_{i.4}}{\ln \left\{ \frac{\cos \theta_{i.2} \times \cos \theta_{i.3}}{\cos \theta_{i.1} \times \cos \theta_{i.4}} \right\}} \right) \times \frac{1}{2\pi}$$

ただし、

$$\theta_{j,k} = \tan^{-1} \frac{z + (-1)^k \cdot \frac{w}{2}}{x - j(\delta + L) + \frac{L}{2} \times \sin \left( \frac{\pi}{2} k - \frac{\pi}{4} \right)}$$

【0105】 $H_d$ と $H_m$ との静磁エネルギーを $\phi$ の関数と考え、i=0の帯状の凸部磁性体の安定状態を考慮す

ると、 $\phi=0$ (Iが帯方向に平行)と $\phi=\pi/2$ (Iが帯方向に垂直)との単位体積当たりのエネルギー差密度

U<sub>k</sub>は、膜厚方向に平均して式(3)のようになる。ただし、U<sub>k</sub>の正負は、U<sub>k</sub>>0のとき帯方向(Y軸)が容易軸となるように定めている。

\*【0106】  
【数3】

$$U_k = \frac{1}{2} \times \left\{ \frac{1}{2} N_{\text{eff}} - 2 \sum_{i=1}^{\infty} P_{\text{eff}_i} \right\}$$

$$N_{\text{eff}} = \frac{2}{\pi L W} \int_0^Y dF \int_0^L d\eta \left\{ \tan^{-1} \left( \frac{F}{\eta} \right) \right\}$$

$$P_{\text{eff}_i} = \frac{-1}{\pi L W} \int_0^Y dF \int_{-i(L+W)}^{-i(L+L)} d\eta \left\{ \tan^{-1} \left( \frac{F}{\eta} \right) - \tan^{-1} \left( \frac{F}{\eta-L} \right) \right\}$$

【0107】このように磁性体の表面に凹凸を形成することにより、磁性体に形状異方性を導入できる。ただし、膜全体で帯方向(Y軸)を安定に容易軸とするには、少なくとも帯状磁性体の中心部分(X=0, Z=0)が容易軸である必要がある。そこで、U<sub>k</sub>の式で

※(X=0, Y=0)に注目し、i=±1まで考慮すると、U<sub>k</sub>の式は式(4)のように表される。

【0108】  
【数4】

$$U_k = \frac{1}{2} \times \left\{ \tan^{-1} \left( \frac{W}{L} \right) - 2 \tan^{-1} \left( \frac{W}{2\delta+L} \right) + 2 \tan^{-1} \left( \frac{W}{2\delta+3L} \right) \right\}$$

【0109】このU<sub>k</sub>の第1項は常に正であるため、U<sub>k</sub>の正負は第2項の正負で決定される。よって、式(5)の不等式を満たすような表面形状であれば、表面の帯状の凹凸が伸びる方向に容易軸を持たせる、すなわ★

★ち垂直な方向に困難軸を持たせるのに有効である。

【0110】  
【数5】

$$\tan^{-1} \left( \frac{W}{L} \right) \geq 2 \tan^{-1} \left( \frac{W}{2\delta+L} \right) - 2 \tan^{-1} \left( \frac{W}{2\delta+3L} \right)$$

【0111】図40に、W/L及びδ/Lを種々の値に設定したときの、U<sub>k</sub>の式の第2項の変化を示す。図40からわかるように、例えばδ/L=1/16の場合のように凹凸の段差が浅くなると、異方性の正負が逆転し、帯状の凹凸が伸びる方向に垂直な方向が磁化容易軸になる可能性がある。一例として、W=0.5μm、L=4μm、δ=2μm、d=2μmとした場合に最隣接(i=±1)の凸部まで考慮に入れたときのエネルギー差を求めたところ、異方性磁場に換算して800e以上であった。ただし、磁化の値は1Tと仮定した。

【0112】図41に、図38の平面インダクタ(実線)及び図29の平面インダクタ(破線)の直流重畳特性の例を示す。図41から、図38の平面インダクタでは、インダクタンスが一定の範囲が小電流側から大電流側まで広い範囲にわたっていることがわかる。

【0113】以上で説明したように、(1)～(3)の構造を採用すれば、磁性体層の動作が磁化困難軸に固定されるので、磁気飽和が生じにくくなる。また、磁性体の困難軸を利用しているので、磁化過程が回転磁化となり、磁壁移動磁化に比べて、高周波うず電流損を低減で

き、周波数特性の改善にも有効である。

【0114】以上は、一軸磁気異方性の導入についてコイル形状を限定して説明したが、次に、スパイラルコイル形状を長方形としたとき及び端子の取り出しを容易にしたときの磁気素子について説明する。

【0115】ここでは、平面磁気素子として平面インダクタを取り上げて具体的に説明する。なお、平面トランスの場合は1次用と2次用の2つを積層する以外は、構造的に平面インダクタと同一であり、第4の手段によって得られる効果は類似のものであるので、ここでは省略する

一軸磁気異方性を有する磁性体の磁化容易軸方向と磁化困難軸方向とで観測されるB-H曲線は、図42に示すように磁化容易軸では透磁率が非常に高い反面、飽和しやすく、磁化困難軸方向では反対に飽和し難い。また、図42に示す如く磁化容易軸の透磁率は、低周波において高いものの、高周波では急激に低下する。一方、磁化困難軸の透磁率は、低周波においてこそ劣るものの、高周波においては容易軸のそれに比べてはるかに高い値を示す。平面型磁気素子において、磁性体の磁化困難軸のみ

を用いることができれば、素子の電気特性の向上に大きく貢献するものと考えられる。

【0116】第4の手段のこの方法は、大きく分けて3つの場合が考えられる。よって、ここでは、その場合分けを3つとして順次説明する。

【0117】第1は、スパイラルコイルとして長方形のものをを用い、その長軸と磁性体の磁化容易軸が一致するように、磁性体をスパイラルコイルの上面及び下面より絶縁体を介して積層する。このような、第4の手段の第1番目について、図43に示す。図43Aは、平面コイル40を絶縁体20で封止した上面及び下面に磁性体層30を配置した平面図であり、図43Bは図43Aの43Bに沿った断面図（42は導体、100は磁束を示す）である。ここで、長方形スパイラルコイルの長軸と短軸の比（アスペクト比＝長軸の長さ $m$ ／短軸の長さ $n$ ）はなるべく大きく設定する。アスペクト比 $m/n$ を十分大きくとれば、磁性体のほとんどの領域において、磁界方向と磁気容易軸とが直交するが、この状態をより完全なものとするために、図44に示す如く、長方形スパイラルコイルの長軸方向のコイル導体部分にのみ磁性

体を形成しても良い。但し、図44の断面図は、図43Aの断面図と同様の形状である（図45も同様）。

【0118】第2について述べる。第1に述べたような長方形スパイラルコイルを2つ直列接続し、更に2つの長方形スパイラルコイルの長軸方向が一致するように、同一平面上に配置する。更に、長方形スパイラルの長軸と磁性体の磁化容易軸が一致するように、磁性体をコイルの上面及び下面に絶縁体を介して配置する。

【0119】図45は、2つの長方形スパイラルコイルを長軸方向に並べた場合を示し、図46A及び図47Aは短軸方向に並べた場合を示している。また、図46Bは図46Aの46Bに沿った断面図、図47Bも同様である。このように、2つの長方形スパイラルコイルを直列接続することによって、図43及び図44の場合に比べて少なくとも2倍以上のインダクタンス値を得ることができる。また、2つの長方形スパイラルコイル間の接続に関し、空中をわたるような配線は必要ない。

【0120】2つの長方形スパイラルを短軸方向に並べる場合のコイル接続方法は2通り考えられる。図46は、2つの長方形スパイラルコイルの巻方向が逆の場合、図47は同一の場合である。磁束の通る磁路は、図に示した如く、後者の方が細分される。どちらが優れるかは、種々の条件にも左右されるので適宜選択する。

【0121】なお、図45、図46、図47において、図43Aのようにスパイラルコイルの全面にわたって磁性体層30を形成しても良い。

【0122】第3について述べる。図44、図45、図46、図47に示す如く、長方形スパイラルコイルの巻始めと巻終わりの部分が露出していることにより、端子の引出しが極めて容易になる。

【0123】以上のように、第4の手段によれば、磁性体の困難軸を有効に利用することができるので、磁化過程が回転磁化によることになり、磁気飽和の影響の軽減のみならず、高周波特性の改善にも有効である。

【0124】図43、図44、図45、図46及び図47では、スパイラルコイルの上面及び下面に一枚のみ一軸異方性磁性体を形成させる場合を示したが、一般的には、これらの磁性体を多層化して用いる。

【0125】第4の手段で提案した素子を実現するためには、種々の方法が考えられる。3 $\mu$ m以上の厚さを有する非晶質合金、結晶質合金、酸化物などの軟磁性薄帯を用いるときは、一軸磁気異方性を磁界中熱処理などによって予め付与しておき、長方形スパイラルフィルムなどとともに積層する。この時、積層による応力の影響をできるだけ避けるために磁歪の小さな磁性体を選択する。

【0126】また、蒸着法やスパッタ法などの薄膜プロセスで形成する場合は、静磁場中成膜や成膜後の磁界中熱処理などによって一軸磁気異方性を付与する。このときも磁性体材料は磁歪が小さいことが望まれるが、応力分布を適当にコントロールできれば、磁歪値の比較的大きな材料でも逆磁歪効果を介して一軸磁気異方性を導付与することが可能になると考えられる。薄膜プロセスで第4の手段による磁性体構造を実現するには、磁性体と絶縁体を交互に形成する必要があるので、多元式の成膜装置を用いることが生産性の点で有利である。

【0127】さて、第4の手段による平面形磁気素子をトランジスタ、抵抗、キャパシター等の他の素子と集積化する際には、漏れ磁束による回路の誤動作を防ぐため、特に、図44、図45、図46、図47のときには、コイル導体が露出する部分に、磁気シールド用磁性体を形成する。この一例を図48A及びBに示す。ここで、図48Aは平面図、図48Bは断面図を示し、部材の番号については、図43と同様である。

【0128】本発明の第5の手段について説明する。図49及び図50は、第5の手段に係る磁気素子を構成する平面コイルを示すものである。

【0129】図49の平面コイルは、外形がほぼ正方形をなし、外形寸法の異なる複数の1ターン平面コイル40を同一平面上に配置したものであり、各1ターン平面コイル40は正方形の1辺に2個の外部接続端子を有する。図50の平面コイルは、図49と同様に、外形がほぼ正方形をなし、外形寸法の異なる複数の1ターン平面コイル40を同一平面上に配置したものであるが、各1ターン平面コイル40は正方形の対抗する2辺に2個ずつ合計4個の外部接続端子を有する。なお、図49及び図50では、外形がほぼ正方形の1ターン平面コイルを示しているが、1ターン平面コイルの外形は特に限定されない。

【0130】このような平面コイルの両面が、図49及

び図50において破線で表示されている磁性体層30でサンドイッチされている。磁性体としては、ソフトフェライト、磁性薄帯、磁性薄膜などが用いられる。ただし、フェライト以外の磁性薄帯、磁性薄膜を用いる場合には、平面コイルと磁性体層30との間に絶縁体層を設ける必要がある。

【0131】第5の手段の平面磁気素子は、平面コイルとしてスパイラルコイルを用いた場合のようにスルーホール導体や端子引き出し用導体を設ける必要がないため、製造プロセスが簡略化される。また、それぞれの1ター

【0132】第5の手段に係る平面磁気素子をインダクタとして使用する場合のインダクタンス調整効果について説明する。以下に述べるように、インダクタンスは、外部接続端子どうしの接続方法の変更、又は外部端子の選択すなわち使用する1ター

【0133】図51は、図49の平面磁気素子において、1ター

【0134】図52は、図49の平面磁気素子において、1ター

【0135】図53は、図49の平面磁気素子において、図51の接続方法と図52の接続方法とを併用したものである。図52では、隣接するコイル導体に流れる電流の向きが互いに逆向きの個所と同じ個所との両者を含む。したがって、発生する磁界はつづら折れスパイラル複合型コイルパターンの場合と類似する。

【0136】図51～図53に示す接続方法では、インダクタンスLの値は、図52の場合が最も大きく、図53、図51の順で小さくなる。このように、第5の手段の平面磁気素子では、外部接続端子どうしの接続方法を変更することにより、インダクタンスを調整できる。なお、外部接続端子の接続方法は、図51～図53に示す方法に限定されず、必要なインダクタンスが得られるように、使用者が適宜選択することができる。

【0137】図54は、図49の磁気素子において、外形の異なる1ター

れるインダクタンス値を示すものである。図54から明らかなように、外形寸法の異なる1ター

【0138】次に、第5の手段に係る平面磁気素子をトランスとして用いる場合について説明する。図49に示すように外部接続端子を設けた場合、図55～図57に示すように複数の平面コイルを2群以上に分け、同一群内の1ター

【0139】以上では、図49の平面磁気素子における外部接続端子の接続方法を例として、電気的特性の調整効果について説明した。図50のように外部接続端子を設ければ、端子接続方法のバリエーションが更に広がるので、より細かな調整効果が得られる。ただし、外部接続端子の数が多すぎると、使用者が誤接続するおそれがあるため、図49又は図50に示したように、1個の平面コイル当りの外部接続端子数は2～4個で十分であると考えられる。

【0140】また、外部から電気的特性を調整する必要がなく、かつ大きなインダクタンスを必要とする場合には、コイル導体間間隔を製造プロセスの許すかぎり小さくして、図52のように外部端子を接続する。一方、インダクタンスは小さくても構わないが、周波数特性を良好にしたい場合には、コイル導体間間隔をできるだけ大きくして、図51のように外部端子を接続する。同様に、トランスに应用する場合でも、外部から電気的特性を調整する必要がない場合には、コイル導体間間隔をできるだけ小さくする。このように平面コイルを構成すれば、特性固定型平面磁気素子を高性能化できる。

【0141】更に、これらの平面磁気素子を小形化するには、これらを半導体製造プロセスと同様に薄膜プロセスを利用して製造することが好ましい。Si、GaAsなどの半導体基板上に第5の手段の磁気素子を形成することにより、トランジスタなどの能動素子、抵抗、コンデンサなど受動素子とのモノリシック化が可能であり、

小形化できる。半導体基板上に磁気素子を形成する場合、能動素子と同一平面でもよいし、能動素子の上部又は下部でもよい。

【0142】図59は半導体基板10上に能動素子90及び磁気素子92を同一平面上に形成したものである。図60は半導体基板10中に能動素子90を形成し、基板10上に絶縁体層20を介して配線層95を形成し、配線層95上に絶縁体層20を介して磁気素子1を形成したものである。図61は半導体基板10上に磁気素子1を形成し、磁気素子1上に絶縁体層20を介して能動素子90を形成したものである。いずれの素子でも、半導体基板10、能動素子90、磁気素子1の間は図示しないコンタクトホールを介して配線により接続されている。第5の手段の例のように、本発明は、どの手段によっても、能動素子及び受動素子が半導体基板上に形成され、平面コイルからなるインダクタ及びトランス等と一体的に素子を構成することができる。このことは、どの手段についても同様に言及できるので、ここでの記載のみにとどめる。

【0143】最後に第6の手段について説明する。図62Aに第6の手段にかかる磁気素子の断面図を示す。電流容量の増大を考えた場合、図62Aに示すように、コイルを構成する導体42を面状とし、この面状導体で絶縁体20を介して配置される磁性体30を磁化するような構成が挙げられる。この場合、磁化電流が面電流であるため有効な断面積が増大し、許容電流は増大する。図17に示したのは外鉄構造であるが、図62Aに示した構造では、ほぼ完全な内鉄構造が実現でき、この構造でも十分漏れ磁界は少なくすることができる。インダクタンス的には駆動周波数によって異なるが、1MHz程度の周波数領域を境にして、低周波領域では図17に示す構造が有利であり、それ以上の高周波領域では図18に示す構造が有利とみられる。ただし電流容量的には図62Aに示した構造のほうが絶対的に有利である。

【0144】図62Aに示した1ターン構造のコイルでの許容電流( $I_{max}$ )を考えてみる。図62Bに、各部の寸法を表わす記号を示し、部材番号は、図62Aと同様である。インダクタンス $L$ (H)は、
$$L = 2 \mu s \cdot \delta 2 \cdot \ln(d1/d2) \times 10^{-7}$$
となり、直流抵抗 $RDC$ ( $\Omega$ )は、
$$RDC = (\rho / \pi \delta 1) \ln(d1/d2)$$
となる。なお、 $\mu s$ は磁性体の比透磁率、 $\rho$ は比抵抗である。

【0145】導体としてAl(許容電流密度 $10^8$ (A/m<sup>2</sup>))を用いたときは、

$$I_{max} = \pi \times 10^8 \cdot d1 \cdot d2(A)$$

となる。これと同形状のものを通常のスパイラルコイルで構成した平面インダクタで実現すると、導体の断面積はかなり小さくなるため、概略オーダーとして2けた以下程度の $I_{max}$ しか得ることができない、また図62A

の構造コイルを、図63Aに示したように平面状に複数個形成して直列に接続することで高インダクタンス化が実現できる。さらには、図63Bに示すように、同様の構造を積層してもよい。この場合は単位面積当たりのインダクタンスが大きくなる。

【0146】また図62Aに示したような1ターン型のコイルでもトランスを構成することができる。すなわち図64に示すように磁性体層30を包囲する導体層40A、40Bを絶縁体層20Bを介して多層化すれば良い。この場合、所望の巻線比に応じて一次コイルと二次コイルの導体層の積層数を決定すれば良い。

【0147】以上、各手段を個別に述べてきたが、各手段は独立して用いても諸特性を向上することが可能であるが、各手段を適当に組み合わせることにより、更に、特性の向上を図ることが可能であるし、取扱についても操作性の向上が図れる。

#### 【0148】Selection of the Materials

ここで、本発明を実施するために、磁気素子を構成するのに必要な材料(導体42、磁性体30、基板10及び絶縁体20)について記載する。

【0149】まず、コイル導体42の材料としては、低抵抗の金属を主体に考える。例えば、Al及びAl合金、Cu及びCu合金、Au及びAu合金、Ag及びAg合金などが代表例として挙げられるが、これらに限定されないことはいうまでもない。また、これらの金属を用いた平面コイルは、許容電流密度が高いほど定格電流を増やせるので、エレクトロマイグレーション、ストレスマイグレーション、サーマルマイグレーションなどによるコイル断線に対する耐性の高い材料を用いることが好ましい。

【0150】磁性体30も平面インダクタ及びトランスの使用される周波数領域、求められる特性を考慮して適宜選定することができ、高透磁率材料、恒透磁率材料、高磁束密度材料、低損失材料などが挙げられる。例えば、パーマロイ、フェライト、センダスト、各種非晶質磁性合金、或は、単結晶膜などを用いることができる。電力用を考えると、磁束が容易に飽和しないように高磁束密度材料を使用することが望まれる。また単一の磁性体である必要はなく、例えばFeCo膜とSiO<sub>2</sub>膜との積層体、人工格子膜、FeCo相とB<sub>4</sub>C相との混合相、粒子分散層などでも良い。なお導体上に形成する場合、磁性体が絶縁体である場合は必須ではないが、導電性を有する場合は、導体との間に絶縁体を形成する必要がある。

【0151】また、磁性体飽和の影響を避けるため、平面コイルによる磁化方向と、磁性体の困難軸とを一致させ、磁性体の異方性磁界をコイル電流が形成する磁界より大きくすることが好ましい。具体的には、飽和磁化が高く、適当な値の異方性磁界 $H_k$ を有する磁性体が好ましい。また、積層などによる応力の影響をできるだけ避

けるために、磁歪のなるべく小さな磁性体（例えば、 $\lambda_s < 10^{-6}$ ）を選択することが好ましい。

【0152】この場合の、磁性体材料の選択基準を、例えば図65を参照して説明する。図65は、コイル導体の巻数と、最大許容電流及び最大許容電流を流したときに発生する磁性体面内磁界の大きさとの関係を調べたものである。なお、コイル導体としてAl-Cu合金を用い、導体厚さ10 $\mu$ m、導体間間隔3 $\mu$ mとして、巻数を変化させることによりコイルの外形寸法を変化させ、これに対応して磁性体の外形寸法を変化させている。導体-磁性体間に膜厚1 $\mu$ mの絶縁体層が形成されている。コイル導体の許容電流密度は $5 \times 10^8$  (A/m<sup>2</sup>)一定である。

【0153】図65の例では、コイルに許容電流を流したときに発生する磁界の大きさは約20~30 Oeである。使用するコイル電流の最大値を、許容電流値の80%とすれば、最大16~24 Oeの磁界が磁性体に加わることになる。したがって、この場合には、一軸磁気異方性が導入された磁性体の異方性磁界H<sub>k</sub>として16~24 Oeの大きさが必要である。

【0154】なお、磁性体の異方性磁界の大きさは磁気素子の構造パラメータにも依存するので、ここで示した値に限定されない。ただし、磁気飽和の影響を回避するには5 Oe以上の値であることが好ましい。

【0155】基板10も特に限定されるものではないが、基板上に形成される磁性体又は導体と絶縁されるように、少なくとも表面が絶縁体であれば良い。しかしながら、微細加工の容易性、1チップ化などを考慮すると、Siなどの半導体基板を用いることが望ましい。この場合、表面に酸化膜の形成などの手法により、絶縁体化しておく必要がある。

【0156】絶縁体層20の材料としては、SiO<sub>2</sub>やSi<sub>3</sub>N<sub>4</sub>などの無機物や、ポリイミドなどの有機物が挙げられるが、層間の容量結合を小さくするため、なるべく誘電率の低いものが好ましい。また、上下の磁性体層間の磁氣的結合によって、磁性体層に導入された一軸磁気異方性が乱されないように、絶縁体層の膜厚を決定する。適当な絶縁体層の膜厚は使用される磁性体に応じて異なるので、適宜選択する。

#### 【0157】実施例1

第1の手段による実施例を示す。図6に示す磁気素子を下記のような方法で作製し、その性能を確認した。

【0158】シリコン基板の表面を熱酸化して、膜厚1 $\mu$ mのSiO<sub>2</sub>膜を形成した。このSiO<sub>2</sub>膜上にRFスパッタ法により膜厚1 $\mu$ mのセンダスト膜及び膜厚1 $\mu$ mのSiO<sub>2</sub>膜を順次形成した。

【0159】このSiO<sub>2</sub>膜上にDCマグネトロンスパッタ法によりコイル導体となる膜厚10 $\mu$ mのAl-Cu合金膜を形成した。このAl-Cu合金膜上にエッチングマスクとなる膜厚1.5 $\mu$ mのSiO<sub>2</sub>膜を形成し

た。このSiO<sub>2</sub>膜上にポジ型フォトリソを塗布した後、フォトリソによりライン幅37 $\mu$ m、ライン間隔3 $\mu$ mのスパイラルコイル状にパターンニングした。CF<sub>4</sub>ガスを用いた反応性イオンエッチングにより露出したSiO<sub>2</sub>膜をエッチングしてスパイラルコイル状のSiO<sub>2</sub>マスクを形成した。更に、Cl<sub>2</sub>、BCl<sub>3</sub>ガスによる低圧マグネトロンスパッタ法による反応性イオンエッチングにより、露出したAl-Cu合金膜をエッチングしてAl-Cu合金からなるスパイラル状のコイル導体を形成した。このとき、マスクのSiO<sub>2</sub>及び下地SiO<sub>2</sub>に対するAl-Cu合金のエッチング選択比は15であり、垂直異方性エッチングを実現できた。このようにして、外形寸法2mm、巻数20、コイル導体幅37 $\mu$ m、導体間間隔3 $\mu$ m、導体厚さ10 $\mu$ mのスパイラルコイルを形成した。溝アスペクト比は、導体間間隔3 $\mu$ m、コイル導体厚さ10 $\mu$ mより、3.3である。

【0160】フォトリソパターン及びSiO<sub>2</sub>マスクを除去した後、バイアススパッタ法によりSiO<sub>2</sub>膜を堆積し、コイル導体間の溝部をSiO<sub>2</sub>膜で埋め込んだ。エッチバック法によりSiO<sub>2</sub>膜上面を平坦化した。このSiO<sub>2</sub>膜上に、1 $\mu$ mのセンダスト膜を形成し、更にSi<sub>3</sub>N<sub>4</sub>膜からなる保護膜を形成して平面インダクタを作製した。

【0161】この平面インダクタをインピーダンスメータにより測定した結果、周波数2MHzにおいて抵抗分R=5.8 $\Omega$ 、インダクタンスL=3.78 $\mu$ H、Q=8が得られた。

【0162】この平面インダクタを2MHzスイッチングで動作する降圧チョッパ型DC-DCコンバータの出力側チョークコイルとして用いた。このDC-DCコンバータは、入力電圧10V、出力電圧5V、出力電力500mWのものである。その結果、正常に動作することが確認され、定格負荷時の効率は70%、平面インダクタによる損失は58mW、その他の半導体素子などが156mWであった。

【0163】上記の平面インダクタの性能を確認するために、同一のプロセスを用い、コイル導体幅21 $\mu$ m、導体間間隔20 $\mu$ m、導体厚さ4 $\mu$ mに設定して平面インダクタを形成した。この場合の溝アスペクト比は0.2である。

【0164】この平面インダクタをインピーダンスメータにより測定した結果、周波数2MHzにおいて抵抗分R=10.3 $\Omega$ 、インダクタンスL=3.7 $\mu$ H、Q=4.5であった。

【0165】この平面インダクタを上記と同一のDC-DCコンバータに組み込んだところ、平面インダクタによる損失が103mWとなり、コンバータの効率は65%に低下した。

#### 【0166】実施例2

実施例1と同様のプロセスを用い、薄膜平面トランスを



作製した。1次側コイルは、外形2mm、巻数20、導体幅37 $\mu$ m、導体間間隔3 $\mu$ m、導体厚さ10 $\mu$ m、溝アスペクト比3.3とした。2次側コイルは、外形2mm、巻数40、導体幅17 $\mu$ m、導体間間隔3 $\mu$ m、導体厚さ10 $\mu$ m、溝アスペクト比3.3とした。下部及び上部の磁性体間のギャップは23 $\mu$ mである。

【0167】この平面トランスをインピーダンスメータにより測定した結果、1次側インダクタンスは3.8 $\mu$ H、2次側インダクタンスは14 $\mu$ H、相互インダクタンスは6.8 $\mu$ Hで、結合係数kは0.93と見積もられた。

【0168】この平面トランスの1次側に実効値1Vの500kHz正弦波電圧を加えたところ、2次側に実効値1.7Vの正弦波電圧が発生した。この平面トランスに200 $\Omega$ の純抵抗負荷を接続したところ、無負荷時の端子電圧に対する電圧変動率は約10%であった。

【0169】この平面トランスを2MHzスイッチングで動作するフォワード型DC-DCコンバータに用いて評価した。このDC-DCコンバータは、入力電圧3V、出力電圧5V、出力電力100mWのものである。その結果、定格負荷時のトランスの損失は88mWであった。

【0170】上記で作製した平面トランスの性能を確認するために、上記と同一のプロセスを用い、薄膜平面トランスを作製した。1次側コイルは、外形2mm、巻数20、導体幅21 $\mu$ m、導体間間隔20 $\mu$ m、導体厚さ10 $\mu$ m、溝アスペクト比0.5とした。2次側コイルは、外形2mm、巻数40、導体幅10 $\mu$ m、導体間間隔10 $\mu$ m、導体厚さ10 $\mu$ m、溝アスペクト比1.0とした。下部及び上部の磁性体間のギャップは23 $\mu$ mである。

【0171】この平面トランスの1次側に実効値1Vの500kHz正弦波電圧を加えたところ、2次側に実効値1.3Vの正弦波電圧が発生した。2次側電圧が低い原因は、1次側コイル抵抗が高いために1次側電圧降下が大きく、トランスゲインが低下したことによる。

【0172】上記と同様に、この平面トランスに200 $\Omega$ の純抵抗負荷を接続したところ、無負荷時の端子電圧に対する電圧変動率は約18%であった。

【0173】この平面トランスを上記と同一のDC-DCコンバータに用いて評価したところ、定格負荷時のトランスの損失は152mWであり、発熱がかなり大きく、50℃もの温度上昇が観察された。

#### 【0174】実施例3

第2の手段による実施例を示す。本実施例は、図12において、基板10と導体42の間に絶縁体層を形成したときの実施例である。

【0175】Si基板上にSiO<sub>2</sub>層(厚さ1 $\mu$ m)を形成した後、5 $\mu$ mのAl層をスパッタリング法により形成した(比抵抗 $2.8 \times 10^{-6} \Omega \text{cm}$ )。ついでフォ

トレジスト法でエッチングにより、幅5 $\mu$ m(導体アスペクト比1)、ピッチ10 $\mu$ m、ターン数200のスパイラル状コイル(内径1mm、外径5mm)を作成した。コイル抵抗は120 $\Omega$ 、インダクタンスは0.14mHであった。

【0176】これを降圧チョッパ方式の0.1W級DC-DCコンバータ(動作周波数300kHz)に組み込んで試験したところ、インダクタとして動作していることが確認された。

【0177】なお、参考のため幅、10 $\mu$ m(導体アスペクト比1/2)、ピッチ15 $\mu$ m、ターン数130の同一外形(占有面積同一)のスパイラル状コイルを作成したところ、インダクタンスは0.05mHであった。

#### 【0178】実施例4

コイルの上下面に、SiO<sub>2</sub>層(1 $\mu$ m厚)を介してCo-Si-B系の非晶質合金(2 $\mu$ m厚)層を形成したこと以外は実施例3と同様にしてコイルを形成した。

【0179】インダクタンスは2mHであった。

#### 【0180】実施例5

この実施例は、実施例4のコイルとして2層構造のコイルを用いてトランスを構成した例である。

【0181】第1層のコイルは実施例4のコイルと同様とした。第2層のコイルは、導体厚5 $\mu$ m、幅5 $\mu$ m(導体アスペクト比1)、ピッチ20 $\mu$ m、ターン数100のスパイラル状コイルとし、スパイラル中心がほぼ同一となるようにした。

【0182】トランス動作を確認したところ、ターン数比と同一の昇圧比2で動作することが確認された。

#### 【0183】実施例6

実施例3と同様の磁気素子を作製方法を変更したときの実施例を示す。

【0184】Si基板上にSiO<sub>2</sub>層(厚さ4 $\mu$ m)を形成した後、10 $\mu$ mのAl単結晶層をMBE法により形成した(比抵抗 $2.6 \times 10^{-6} \Omega \text{cm}$ )。ついでフォトレジスト法ではエッチングにより、幅5 $\mu$ m(導体アスペクト比2)、ピッチ10 $\mu$ m、ターン数200のスパイラル状コイル(内径1mm、外径5mm)を作成した。コイル抵抗は50 $\Omega$ 、インダクタンスは0.14mHであった。

【0185】実施例3の場合に比べコイル抵抗の低下により、許容電流が増し、高電力化が可能となる。

#### 【0186】実施例7

実施例3と同様の磁気素子を作製方法を変更したときの実施例を示す。

【0187】Si基板上に酸化処理によりSiO<sub>2</sub>層(厚さ1 $\mu$ m)を形成した後に、蒸着法により5 $\mu$ mのAl-Si-Cu合金層を形成した。ついでCVD法によりSiO<sub>2</sub>層(厚さ1 $\mu$ m)を形成した後、レジストパターンを形成し、マグネトロンRIE装置によりAl合金層を切り、幅2 $\mu$ m(導体アスペクト比2.5)、

10

20

30

40

50

ピッチ  $3\ \mu\text{m}$ 、ターン数 500 の正方形ミアンダー状コイル（内径  $1\ \text{mm}$ 、外径  $4\ \text{mm}$ ）を作成した。

【0188】 についてモノシラン（ $\text{SiO}_4$ ）と亜酸化窒素（ $\text{N}_2\text{O}$ ）とを原料としたプラズマ CVD 法により、コイル上に  $\text{SiO}_2$  層を形成した。この原料を用いたプラズマ CVD 法は供給律速となる 1 例であり、本実施例の導体間隔が  $1\ \mu\text{m}$  と狭く、かつ、導体アスペクト比が 2.5 と大きいことから、コイルを構成する導体間は空洞化することができた。なおインダクタンスは  $1.6\ \text{mH}$  であった。

【0189】 この様にコイル形成導体間を空洞化した場合と、導体間にシリコンを充填した場合とでは、線間に生じる容量が大きく異なるため、高周波特性が著しく異なる。本実施例の場合は  $10\ \text{MHz}$  までインダクタンスの低下は生じなかったが、線間にシリコンを充填した場合は  $800\ \text{kHz}$  程度で急激なインダクタンスの低下が見られた。

#### 【0190】 実施例 8

第 2 の手段において、図 13 の方法によって、コイル導体間を空洞にした実施例を示す。

【0191】  $\text{Si}$  基板上に熱酸化により  $\text{SiO}_2$  層（厚さ  $1\ \mu\text{m}$ ）を形成した後、スパッタリング法により  $1\ \mu\text{m}$  の  $\text{Al}$  層を形成した。ついで  $\text{Si}$  基板を外気にさらすことで表面を酸化した後、再度スパッタリング法により  $\text{Al}$  層を形成する工程を繰り返し、 $1\ \mu\text{m}$  の  $\text{Al}$  層間に約  $30\ \text{\AA}$  の酸化アルミニウム層が形成された  $5\ \mu\text{m}$  の導体層を形成した。次に、表面にプラズマ CVD 法により酸化シリコン層を形成した後、ドライエッチング法により正方形ミアンダー状コイルを作成した。コイル諸元は、外径  $5\ \text{mm}$ 、繰り返し数 1000、線幅  $2\ \mu\text{m}$ 、導体線間隔  $0.5\ \mu\text{m}$  である。ついでプラズマ CVD 法により酸化シリコン層を形成し、導体線間隔を空洞のまま封じ込めた。

【0192】 この  $\text{Si}$  基板上でコイルの近傍に昇圧チョップアップタイプの DC-DC コンバータ回路（昇圧比 1.5V/3V、出力電流  $0.2\ \text{mA}$ ）を作り込み、ワンチップ型の DC-DC コンバータを形成した。サイズは、厚さが  $0.5\ \text{mm}$  で  $10\ \text{mm} \times 5\ \text{mm}$  であり、回路中のスイッチング素子の駆動周波数は  $5\ \text{MHz}$  である。動作試験の結果、十分に機能していることが確認された。なお駆動周波数  $500\ \text{kHz}$  ではインピーダンス不足で十分な動作が実現できなかった。

【0193】 本実施例で得られたワンチップ DC-DC コンバータを用いることにより、ポケットベル（登録商標）などの従来カード化が困難であったものもカード化することができる。図 66 に前記 1 チップ DC-DC コンバータを用いたカードタイプのポケットベルの概略図を示す。アンテナ部 210、動作回路部 220、圧電ブザーなどの発音部 230、それと上記 1 チップ型の DC-DC コンバータ 240 とがカード基体 200 上に配置

され、カバー部分（図示せず）で覆われ、全体としてカード状のポケットベルが構成される。

#### 【0194】 実施例 9

第 3 の手段による実施例を示す。図 23 の磁気素子を作製し、その性能を確認した。

【0195】 ポリイミドフィルム上に  $100\ \mu\text{m}$  の厚さの銅箔を接着した後、湿式化学エッチングによりスパイラルコイル状にパターンニングした平面コイルを  $7\ \mu\text{m}$  厚のポリイミドフィルムを介して、 $5\ \mu\text{m}$  厚の  $\text{Co}$  系アモルファス合金箔で挟み込み平面インダクタを形成した。この時、スパイラルコイルの外寸法  $a_0$  は  $11\ \text{mm}$  であった。 $\text{Co}$  系アモルファス合金箔の透磁率は  $4500$  と見積られ、磁性体間ギャップ  $114\ \mu\text{m}$  より  $\alpha$  の値は約  $1\ \text{mm}$  となり、磁性体外寸法  $w$  を  $15\ \text{mm}$  ( $a_0 + 4\alpha$  となる) とした。このようにして形成した平面インダクタに  $0.1\ \text{A}$  の直流電流を流して、インダクタ近傍の漏れ磁界を高感度ガウスメータで測定したところ、漏れ磁界は検出限界以下であった。

【0196】 上記の平面インダクタの漏れ磁界を比較するために、上記と同一の手法で形成した平面インダクタにおいて、磁性体外寸法  $w$  として  $12\ \text{mm}$  を採用し ( $a_0 + \alpha$  となる)、上記と同様に  $0.1\ \text{A}$  の直流電流を流してインダクタ近傍の漏れ磁界を測定したところ、約  $30$  ガウスの漏れ磁界が検出された。

#### 【0197】 実施例 10

第 3 の手段による実施例を示す。実施例 9 の磁気素子において、第 4 の手段を付加したときの実施例である（図 29 参照）。

【0198】 半導体基板上に、(1) RF マグネトロンスパッタ法により  $1\ \mu\text{m}$  厚  $\text{Co}$  系アモルファス磁性薄膜を形成した後、(2) RF スパッタ法により  $1\ \mu\text{m}$  厚絶縁膜 ( $\text{SiO}_2$ ) を成膜した。(3) その上に、DC マグネトロンスパッタ法によって、厚さ  $10\ \mu\text{m}$  の  $\text{Al-Cu}$  合金膜を形成した後、マグネトロン方式反応性イオンエッチングにより、スパイラルコイル状にパターンニングして平面コイルを形成した。(4) 更に、スパイラル平面コイルの上からバイアススパッタ法によって絶縁膜 ( $\text{SiO}_2$ ) を埋め込み、平坦化した。(5) その上に、RF マグネトロンスパッタ法により  $1\ \mu\text{m}$  厚  $\text{Co}$  系アモルファス磁性薄膜を形成して平面インダクタを構成した。

【0199】 この時、試料振動型磁力計にて、 $\text{Co}$  系アモルファス磁性薄膜の透磁率を概略求めたところ、約  $1000$  であった。また、スパイラル平面コイルの外寸法  $a_0$  は  $4.5\ \text{mm}$  であり、磁性体間ギャップ  $12\ \mu\text{m}$  より  $\alpha$  は  $77\ \mu\text{m}$  と見積られ、磁性体外寸法  $w$  として  $5\ \text{mm}$  ( $a_0 + 6.5\alpha$ ) を採用した。実施例 1 と同様に、平面インダクタの近傍で漏れ磁束を計測してみたが、検出限界以下であった。

【0200】 上記と同一の手法で半導体基板上に平面イ

ンダクタを構成したが、磁性体寸法 $w$ のみ4.6mm( $a_0+1.3\alpha$ )に変更した。この平面インダクタ近傍の漏れ磁界を実施例9と同様に高感度ガウスメータで測定したところ、約50ガウスの漏れ磁束が検出された。

#### 【0201】実施例11

実施例9と同じ手法で、種々の磁性体外形寸法を持つ平面インダクタを形成し、LCRメータによってインダクタンスの値を測定してみたところ、磁性体外形15mmを有する平面インダクタは12mmものに比べ、約1.3倍のインダクタンス値90 $\mu$ Hが得られた。この、インダクタンス増大効果は実施例10の手法で形成される平面インダクタの場合においても、同様に認められた。

#### 【0202】実施例12

実施例9で製作された平面インダクタを用いて、ハイブリッドタイプの降圧チョッパ型DC-DCコンバータICを構成した。ICには、パワーMOS-FETによるスイッチ素子、整流ダイオード、低電圧制御部などが含まれる。このコンバータは100kHzスイッチングで動作し、入力電圧10V、出力電圧5V、出力電力2Wのもので、出力制御チョークコイルとして80 $\mu$ H以上のインダクタンスが必要であり、実施例9による平面インダクタはこの値を満足する。実際にこのコンバータICを動作させたところ、平面インダクタはチョークコイルとして正常に動作し、FETのスイッチング波形のリンキングも少なく、定格出力時(5V、0.4A)の出力リップル電圧はピーク値で10mV程度で問題ないレベルであった。

【0203】実施例9の性能を比較するために製作された平面インダクタを実施例12のハイブリッド型DC-DCコンバータICに組み込んだところ、FETのスイッチング波形に大きなリンキングが見られ(平面インダクタの漏れ磁界の影響によるものと思われる)、また、定格出力時(5V、0.4A)の出力リップル電圧のピーク値は0.1Vとなった(インダクタンス値がチョークコイルとして必要な80 $\mu$ Hを満足せず、リップル抑制が不十分であることによる)。

#### 【0204】実施例13

第4の手段の実施例を示す。図33に示す磁気素子を作製し、その性能を確認した。

【0205】厚さ30 $\mu$ mのポリイミドフィルム上に厚さ100 $\mu$ mの銅箔を接着した後、ウェットエッチングにより導体幅100 $\mu$ m、導体間間隔100 $\mu$ m、巻数20の角型スパイラル形状にパターンニングして平面コイルを形成した。この平面コイル上に厚さ10 $\mu$ mのポリイミドフィルムを重ねた。これらの両面を、一軸磁気異方性を導入した厚さ15 $\mu$ mのCo系アモルファス磁性薄帯(1層目)で挟んだ。このCo系アモルファス磁性薄帯は、単ロール法を用いて溶湯急冷法により作製したものに、磁界中アニール法によって一軸磁気異方性を導入したものである。この磁性薄帯については、異方性磁

界20e、困難軸透磁率5000、飽和磁束密度10kGである。これらの両面を厚さ5 $\mu$ mのポリイミドフィルム、及び一軸磁気異方性を導入した厚さ15 $\mu$ mのCo系アモルファス磁性薄帯(2層目)で挟んで、平面インダクタを作製した。なお、1層目と2層目のCo系アモルファス磁性薄帯は、一軸磁気異方性の方向が互いに直交するように積層されている。この平面インダクタの外形寸法10mmである。

【0206】得られた平面インダクタについてインダクタンスの直流重畳特性を測定した。その結果、インダクタンス値は400mAまで12.5 $\mu$ Hでフラットに維持され、500mA以上で低下し始めた。

【0207】この平面インダクタを入力電圧12V、出力電圧5Vの降圧チョッパ型DC-DCコンバータの出力側チョークコイルとして用いた。このコンバータは、スイッチング周波数500kHzで、負荷電流400mAまで出力することができ、最大出力電力2W、効率80%が得られた。

【0208】急冷後のCo系アモルファス磁性薄帯(参考例13a)をそのまま用いるか、又はCo系アモルファス磁性薄帯に無磁界アニールを施したもの(参考例13b)を用いた以外は、上記と全く同様な方法により平面インダクタを作製した。前者の透磁率は2000、後者の透磁率は10000であり、いずれも明確な磁気異方性は認められなかった。

【0209】これらの平面インダクタの直流重畳特性を測定した。その結果、参考例13bの高透磁率磁性薄帯を用いた平面インダクタでは、上記と比較してインダクタンスが高かったが、インダクタンス一定の直流電流の範囲は200mAまでであり、直流電流が250mA以上でインダクタンスが急激に低下した。一方、参考例13aの低透磁率磁性薄帯を用いた平面インダクタでは、上記と比較してインダクタンスが低く、しかも直流電流が小さい範囲から徐々にインダクタンスが低下した。これらの2つの平面インダクタは、上記と比較して周波数特性も劣っていた。特に、100kHz以上の高周波側で損失が急激に大きくなり、1MHzでのQ値は実施例9の場合の1/2以下に低下した。

【0210】これらの平面インダクタを、上記と同一のDC-DCコンバータの出力側チョークコイルとして用いたが、上記と比較して直流重畳特性が劣っているため、最大負荷電流は200mA程度に制限された。このため、最大出力電力は上記に比べて半減し、効率も70%程度であった。

#### 【0211】実施例14

実施例13における巻数20のスパイラル平面コイルを1次側とし、この1次側スパイラル平面コイル上に絶縁体層を介して巻数10の2次側スパイラル平面コイルを形成した以外は、実施例13と同様な方法により平面トランスを作製した。1次側インダクタンスの直流重畳特

10

20

30

40

50

性は、実施例13の平面インダクタとほぼ同等であった。

【0212】この平面トランスを入力電圧12V、出力電圧5Vのフォワード型DC-DCコンバータのトランスに適用し、実施例13の平面インダクタを出力側チョークコイルに用いた。このコンバータは、スイッチング周波数500kHzで、実施例13で適用したDC-DCコンバータと同等の定格出力を得ることができた。この結果、絶縁型DC-DCコンバータの小形化が実現できた。

【0213】磁性体として参考例13a又は参考例13bの磁性体を用いた以外は、上記と全く同一構造の平面トランスを作製した。1次側インダクタンスの直流重畳特性は、参考例13a、bの平面インダクタとほぼ同等であった。

【0214】この平面トランスを上記と同一のフォワード型DC-DCコンバータのトランスに適用した。しかし、トランスの磁気飽和のために、正常な電力変換がなされず、コンバータとしての動作が確認できなかった。

【0215】実施例15  
第4の手段において、図35の磁気素子を作製したときの実施例を示す。

【0216】シリコン基板の表面を熱酸化して膜厚1 $\mu$ mのSiO<sub>2</sub>膜を形成した。次に、RFマグネトロンスパッタ装置を用い、1000eの磁界中で、SiO<sub>2</sub>膜上に膜厚1 $\mu$ mのCoZrNbアモルファス磁性薄膜を成膜し、約50eの異方性磁界を有する一軸磁気異方性を導入した。この磁性薄膜上に、プラズマCVD法又はRFスパッタ法により膜厚500nmのSiO<sub>2</sub>膜を堆積した。同様に、磁性薄膜の形成及びSiO<sub>2</sub>膜の形成を繰り返して、合計4周期の磁性体層/絶縁体層の多層膜を形成した。なお、最上部のSiO<sub>2</sub>膜の膜厚は1 $\mu$ mとした。この際、隣り合う磁性体層どうしで、一軸磁気異方性の方向が互いに直交するように、成膜時に磁界の方向を変化させた。

【0217】次に、DCマグネトロンスパッタ装置又は高真空蒸着装置を用いて、SiO<sub>2</sub>膜上に膜厚10 $\mu$ mのAl-0.5%Cu層を形成した。このAl-0.5%Cu層上に、膜厚1.5 $\mu$ mのSiO<sub>2</sub>膜を堆積した。このSiO<sub>2</sub>膜上にポジティブタイプのアモルファスレジストをスピンコートし、フォトリソグラフィによりスパイラルコイル状にパターニングした。レジストのコイルパターンをマスクとして、CF<sub>4</sub>ガスを用いた反応性イオンエッチングによりSiO<sub>2</sub>膜をエッチングし、更にCl<sub>2</sub>ガス及びBCl<sub>3</sub>ガスを用いた反応性イオンエッチングによりAl-0.5%Cu層をエッチングして導体幅100 $\mu$ m、導体間隔5 $\mu$ m、巻数20のスパイラル平面コイルを形成した。コイル導体間の溝部を埋め込むために、ポリイミドの前駆体であるポリアミック酸溶液を15 $\mu$ mの厚さにスピンコートし、350℃で熱

硬化してポリイミド化した。CF<sub>4</sub>ガス及びO<sub>2</sub>ガスを用いた反応性イオンエッチングによりコイル導体の上面から1 $\mu$ mの厚さになるまでポリイミド膜表面をエッチバックした。

【0218】比較例として、上記と同様に、磁性薄膜の形成及びSiO<sub>2</sub>膜の形成を繰り返して、合計4周期の磁性体層/絶縁体層の多層膜を形成した。この際にも、隣り合う磁性体層どうしで、一軸磁気異方性の方向が互いに直交するように、成膜時に磁界の方向を変化させた。

【0219】これらの工程の間に、下部の磁性体層は昇温及び降温過程を経るが、磁性体の耐熱性は良好であり、磁性膜形成直後と素子形成後で磁気特性はほとんど変わらず、磁気特性に対する熱の影響は極めて軽微であった。

【0220】得られた薄膜型インダクタの電気的特性を評価したところ、インダクタンスL=2 $\mu$ H、品質係数Q=15(5MHz)であった。また、その直流重畳特性を測定したところ、インダクタンスは直流重畳電流が150mAまでフラットであり、200mA以上で低下した。

【0221】この薄膜型インダクタを、入力電圧12V、出力電圧5Vの降圧チョッパー型DC-DCコンバータの出力側チョークコイルとして用いた。このコンバータはスイッチング周波数4MHzで負荷電流150mAまで出力することができ、最大出力電力0.75W、効率70%が得られた。

【0222】なお、コイル導体の溝部を埋め込むための絶縁体層として、前述したポリイミドを用いる代わりに、CVD法又はバイアスパッタ法によるSiO<sub>2</sub>膜を用いても、ほぼ同様な電気的特性が得られた。

【0223】無磁界中でCoZrNbアモルファス磁性薄膜を成膜した以外は、上記と同様な方法で薄膜型インダクタを作製した。磁性膜の透磁率は10000であり、明確な磁気異方性が認められなかった。

【0224】この薄膜型インダクタは、上記のものと比較して、インダクタンス値は5倍程度の大きさであったが、インダクタンス一定の直流電流の範囲は10mA程度と極めて狭く、20mA以上の直流電流を重畳するとインダクタンス値が急激に低下した。

【0225】この薄膜型インダクタを上記と同一のDC-DCコンバータの出力側チョークコイルに適用したが、上記と比較して直流重畳特性が劣っているため、最大負荷電流は10mA程度に制限された。このため、最大出力電力は上記に比べて1/10以下に低下した。

【0226】実施例16

実施例15における巻数20のスパイラル平面コイルを1次側とし、この1次側スパイラル平面コイル上に膜厚2 $\mu$ mのポリイミド層を介して巻数10の2次側スパイラル平面コイルを形成した以外は、実施例15と同様な

方法により平面トランスを作製した。1次側インダクタンスの直流重畳特性は、実施例15の平面インダクタとほぼ同等であった。

【0227】この平面トランスを入力電圧12V、出力電圧5Vのフライバック型DC-DCコンバータのトランスに適用し、実施例15の薄膜型インダクタを出力側チョークコイルに用いた。このコンバータは、実施例15で適用したDC-DCコンバータと同等の定格出力を得ることができた。磁気部品を全て薄膜化したことにより、絶縁型DC-DCコンバータの大幅な小形軽量化が実現できた。

【0228】実施例15の比較例と同様に無磁界中でCoZrNbアモルファス磁性薄膜を成膜した以外は、実施例16と同様な方法で薄膜型トランスを作製した。1次側インダクタンスの直流重畳特性は、実施例15の比較例の薄膜型トランスとほぼ同等であった。

【0229】この薄膜型トランスを上記と同一のDC-DCコンバータのトランスに適用したが、トランスの飽和のためにスイッチング用パワーMOSFETに過大なピーク電流が流れ、素子が破壊した。

【0230】実施例17

第4の手段において、図36の磁気素子を作製したときの実施例を示す。

【0231】厚さ30 $\mu$ mのポリイミドフィルム上に厚さ100 $\mu$ mの銅箔を接着した後、ウェットエッチングにより導体幅100 $\mu$ m、導体間隔100 $\mu$ m、巻数20の角型スパイラル状にパターンニングして平面コイルを形成した。この平面コイル上に10 $\mu$ m厚のポリイミドフィルムを積層した。

【0232】次に、単ロール法を用いた溶湯急冷法で作製された15 $\mu$ m厚のCo系アモルファス磁性合金薄帯を底辺12mm、高さ6mmの二等辺三角形状に切断した薄帯を4個用意した。これら4個の三角形アモルファス薄帯を三角形の底辺に平行な200Oeの磁界中で熱処理して、底辺に平行に磁化容易軸を持つ一軸磁気異方性を付与した。これらのアモルファス薄帯については、異方性磁界2Oe、困難軸保磁力0.01Oe、困難軸透磁率5000、飽和磁束密度10kGであった。平面コイルの両面を、ポリイミドフィルムを介して、磁化容易軸がスパイラルコイルのコイル導体に平行になるように4個の三角形アモルファス薄帯を頂点が一致するように配置して構成される角型の磁性体層で挟み込んで、平面インダクタを形成した。この平面インダクタの外形状は12mmである。

【0233】この平面インダクタのインダクタンスの直流重畳特性を測定したところ、インダクタンス値は直流電流200mAまで12.5 $\mu$ Hでフラットに維持され、250mA以上で低下し始めた。

【0234】この平面インダクタを入力電圧12V、出力電圧5Vの降圧チョッパ型DC-DCコンバータの

出力側チョークコイルに適用した。このコンバータは、スイッチング周波数500kHzで、負荷電流200mAまで出力することができ、最大出力電力1W、効率80%が得られた。

【0235】急冷後のCo系アモルファス磁性薄帯（参考例17a）をそのまま用いるか、又はCo系アモルファス磁性薄帯に無磁界アニールを施したもの（参考例17b）を用いた以外は、上記と全く同様な方法により平面インダクタを作製した。前者の透磁率は2000、後者の透磁率は10000であり、いずれも明確な磁気異方性は認められなかった。これらの平面インダクタの直流重畳特性を測定した。その結果、参考例17bの高透磁率磁性薄帯を用いた平面インダクタでは、上記と比較してインダクタンスが高かったが、インダクタンス一定の直流電流の範囲は100mAまでであり、直流電流が120mA以上でインダクタンスが急激に低下した。一方、参考例17aの低透磁率磁性薄帯を用いた平面インダクタでは、上記と比較してインダクタンスが低く、しかも直流電流が小さい範囲から徐々にインダクタンスが低下した。これらの2つの平面インダクタは、上記と比較して周波数特性も劣っていた。特に、100kHz以上の高周波側で損失が急激に大きくなり、1MHzでのQ値は実施例13の場合の1/2以下に低下した。

【0236】これらの平面インダクタを、上記と同一のDC-DCコンバータの出力側チョークコイルとして用いたが、上記と比較して直流重畳特性が劣っているため、最大負荷電流は100mA程度に制限された。このため、最大出力電力は上記に比べて半減し、効率も70%程度であった。

【0237】実施例18

実施例13における巻数20のスパイラル平面コイルを1次側とし、この1次側スパイラル平面コイル上に絶縁体層を介して巻数10の2次側スパイラル平面コイルを形成した以外は、実施例17と同様な方法により平面トランスを作製した。1次側インダクタンスの直流重畳特性は、実施例5の平面インダクタとほぼ同等であった。

【0238】この平面トランスを入力電圧12V、出力電圧5Vのフォワード型DC-DCコンバータのトランスに適用し、実施例5の平面インダクタを出力側チョークコイルに用いた。このコンバータは、スイッチング周波数500kHzで、実施例17で適用したDC-DCコンバータと同等の定格出力を得ることができた。この結果、絶縁型DC-DCコンバータの小形化が実現できた。

【0239】磁性体として参考例17a又は参考例17bの磁性体を用いた以外は、実施例17と全く同一構造の平面トランスを作製した。1次側インダクタンスの直流重畳特性は、実施例17の平面インダクタとほぼ同等であった。（実施例18'）この平面トランスを実施例18と同一のフォワード型DC-DCコンバータのトラ

ンスに適用した。しかし、トランスの磁気飽和のために、正常な電力変換がなされず、コンバータとしての動作が確認できなかった。

#### 【0240】実施例19

第4の手段において、図36の磁気素子を作製したときの実施例を示す。

【0241】シリコン基板の表面を熱酸化して膜厚1  $\mu\text{m}$ のSiO<sub>2</sub>膜を形成した。このSiO<sub>2</sub>膜上にネガティブタイプのリソグラフィによって、底辺5mm、高さ2.5mmの2つの二等辺三角形の頂点が接したパターンのSiO<sub>2</sub>膜が露出するようにレジストパターンを形成した。RFマグネトロンスパッタ装置を用い、露出したSiO<sub>2</sub>膜の底辺に平行な100Oeの磁界中で、膜厚1  $\mu\text{m}$ のCoZrNbアモルファス磁性薄膜を成膜して、約5Oeの異方性磁界を有する一軸磁気異方性を導入した。レジストパターンを溶剤で除去し、レジスト上の磁性薄膜をリフトオフした。

【0242】再びフォトリソグラフィによって、成膜ずみの磁性薄膜パターンに直交する底辺5mm、高さ2.5mmの2つの二等辺三角形の頂点が接したパターンのSiO<sub>2</sub>膜が露出するようにレジストパターンを形成した。このとき成膜ずみの磁性薄膜パターンはレジストパターンによって覆われている。RFマグネトロンスパッタ装置を用い、露出したSiO<sub>2</sub>膜の底辺に平行な100Oeの磁界中で、膜厚1  $\mu\text{m}$ のCoZrNbアモルファス磁性薄膜を成膜して、約5Oeの異方性磁界を有する一軸磁気異方性を導入した。レジストパターンを溶剤で除去し、レジスト上の磁性薄膜をリフトオフした。

【0243】このようにして形成された磁性薄膜は、5mm角の正方形パターンを有し、磁化容易軸はそれぞれの辺に平行になっている。

【0244】この磁性薄膜の上に、プラズマCVD又はRFスパッタ法によって膜厚1  $\mu\text{m}$ のSiO<sub>2</sub>膜を堆積し、DCマグネトロンスパッタ又は高真空蒸着装置を用いて膜厚10  $\mu\text{m}$ のAl-0.5%Cu層を形成し、更に膜厚1.5  $\mu\text{m}$ のSiO<sub>2</sub>膜を形成した。このSiO<sub>2</sub>膜上に、ポジティブタイプのリソグラフィにより角型スパイラルコイル状にパターンニングした。このとき、角型スパイラルコイルの各辺と下部の磁性薄膜の各辺とを一致させた。角型スパイラルコイル状のレジストパターンをマスクとしてCF<sub>4</sub>ガスを用いた反応性イオンエッチングによりSiO<sub>2</sub>膜をパターンニングし、更にSiO<sub>2</sub>膜のパターンをマスクとしてCl<sub>2</sub>及びBCl<sub>3</sub>ガスを用いた反応性イオンエッチングによりAl-0.5%Cu層をパターンニングして、導体幅100  $\mu\text{m}$ 、導体間隔5  $\mu\text{m}$ 、巻数20のスパイラル平面コイルを形成した。コイル導体間の溝部を埋め込むために、ポリイミドの前駆体であるポ

リアミック酸溶液を15  $\mu\text{m}$ の厚さにスピンコートし、350℃で熱硬化してポリイミド化した。CF<sub>4</sub>ガス及びO<sub>2</sub>ガスを用いた反応性イオンエッチングによりコイル導体の上面から1  $\mu\text{m}$ の厚さになるまでポリイミド膜表面をエッチバックした。

【0245】次いで、前述した下部磁性体層の形成と同じ方法で、上部にも一軸磁気異方性を導入したCoZrNbアモルファス磁性薄膜を形成して薄膜型インダクタを製造した。これらの工程の間に、下部の磁性体層は昇温及び降温過程を経るが、磁性体の耐熱性は良好であり、磁性膜形成直後と素子形成後で磁気特性はほとんど変わらず、磁気特性に対する熱の影響は極めて軽微であった。

【0246】この薄膜型インダクタの電気的特性を評価したところ、インダクタンスL=2  $\mu\text{H}$ 、品質係数Q=15(5MHz)であった。また、直流重畳特性を測定したところ、インダクタンスは直流電流80mAまでフラットで、100mA以上で低下した。

【0247】なお、コイル導体の溝部を埋め込むための絶縁体として、前述したポリイミドを用いる代わりに、CVD法又はバイアスパッタ法によるSiO<sub>2</sub>膜を用いても、ほぼ同様な電気的特性が得られた。

【0248】この薄膜型インダクタを、入力電圧12V、出力電圧5Vの降圧チョッパ型DC-DCコンバータの出力側チョークコイルとして用いた。このコンバータはスイッチング周波数4MHzで、負荷電流80mAまで出力することができ、最大出力電力0.4W、効率70%が得られた。

【0249】無磁界中でCoZrNbアモルファス磁性薄膜を成膜した以外は、実施例15と同様な方法で薄膜型インダクタを作製した。磁性膜の透磁率は10000であり、明確な磁気異方性が認められなかった。

【0250】この薄膜型インダクタは、上記のものと比較して、インダクタンス値は5倍程度の大きさであったが、インダクタンス一定の直流電流の範囲は8mA程度と極めて狭く、10mA以上の直流電流を重畳するとインダクタンス値が急激に低下した。

【0251】この薄膜型インダクタを上記と同一のDC-DCコンバータの出力側チョークコイルに適用したが、上記と比較して直流重畳特性が劣っているため、最大負荷電流は8mA程度に制限された。このため、最大出力電力は上記に比べて1/10以下に低下した。

#### 【0252】実施例20

実施例19における巻数20のスパイラル平面コイルを1次側とし、この1次側スパイラル平面コイル上に膜厚2  $\mu\text{m}$ のポリイミド層を介して巻数10の2次側スパイラル平面コイルを形成した以外は、実施例19と同様な方法により薄膜型平面トランスを作製した。1次側インダクタンスの直流重畳特性は、実施例19の平面インダクタとほぼ同等であった。

【0253】この平面トランスを入力電圧12V、出力電圧5Vのフライバック型DC-DCコンバータのトランスに適用し、実施例19の薄膜型インダクタを出力側チョークコイルに用いた。このコンバータは、実施例19で適用したDC-DCコンバータと同等の定格出力を得ることができた。磁気部品を全て薄膜化したことにより、絶縁型DC-DCコンバータの大幅な小形軽量化が実現できた。

【0254】実施例19の比較例と同様に無磁界中でCoZrNbアモルファス磁性薄膜を成膜した以外は、上記と同様な方法で薄膜型トランスを作製した。1次側インダクタンスの直流重畳特性は、実施例19の薄膜型トランスとほぼ同等であった。

【0255】この薄膜型トランスを上記と同一のDC-DCコンバータのトランスに適用したが、トランスの飽和のためにスイッチング用パワーMOSFETに過大なピーク電流が流れ、素子が破壊した。

【0256】実施例21

第4の手段において、図38に磁気素子を作製したときの実施例を示す。

【0257】Si基板の表面を熱酸化して膜厚1 $\mu$ mのSiO<sub>2</sub>膜を形成した。SiO<sub>2</sub>膜上にポジティブタイプのフォトリソグラフィにより同心コイル状にパターンニングした。このレジストパターンをマスクとして、CF<sub>4</sub>ガスを用いた反応性イオンエッチングにより、凸部幅 $\delta=2\mu$ m、凹部幅L=4 $\mu$ m、凹凸の段差W=0.5 $\mu$ mのSiO<sub>2</sub>膜パターンを形成した。レジストを除去した後、RFマグネトロンスパッタリング装置により、膜厚2 $\mu$ mのCoZrNbアモルファス磁性薄膜を形成した。なお、成膜時には磁場を印加せず、基板を回転させることにより形状異方性以外の異方性が導入されるのを防止した。なお、同一のスパッタリング条件で、平滑な熱酸化SiO<sub>2</sub>上にCoZrNbアモルファス磁性薄膜を成膜したところ、回転中心付近では磁気異方性がほとんど認められない。この素子を作製する際にも、回転中心付近に磁性薄膜を成膜している。この磁性薄膜が片面に凹凸を有する下面の磁性体層として用いられる。

【0258】CoZrNbアモルファス磁性薄膜上に、プラズマCVD法又はRFスパッタ法により膜厚500nmのSiO<sub>2</sub>膜を堆積し、DCマグネトロンスパッタ装置又は高真空蒸着装置を用いて膜厚10 $\mu$ mのAl-0.5%Cu層を形成し、更に膜厚1.5 $\mu$ mのSiO<sub>2</sub>膜を形成した。SiO<sub>2</sub>膜上にポジティブタイプのフォトリソグラフィによりスパイラルコイル状にパターンニングした。このレジストパターンをマスクとしてCF<sub>4</sub>ガスを用いた反応性イオンエッチングによりSiO<sub>2</sub>膜をエッチングし、更にSiO<sub>2</sub>膜パターンをマスクとしてCl<sub>2</sub>ガス及びBCl<sub>3</sub>ガスを用いた反応性イオンエッチングによりAl

-0.5%Cu層をエッチングして、導体幅100 $\mu$ m、導体間間隔5 $\mu$ m、巻数20のスパイラル平面コイルを形成した。コイル導体間の溝部を埋め込むために、ポリイミドの前駆体であるポリアミック酸溶液を15 $\mu$ mの厚さにスピコートし、350℃で熱硬化してポリイミド化した。CF<sub>4</sub>ガス及びO<sub>2</sub>ガスを用いた反応性イオンエッチングによりコイル導体の上面から1 $\mu$ mの厚さになるまでポリイミド膜表面をエッチバックした。

【0259】ポリイミド膜上に、RFマグネトロンスパッタリング装置により、膜厚2.5 $\mu$ mのCoZrNbアモルファス磁性薄膜を形成した。このCoZrNbアモルファス磁性薄膜上に、ポジティブタイプのフォトリソグラフィにより同心コイル状にパターンニングした。このレジストパターンをマスクとして、Cl<sub>2</sub>ガス及びBCl<sub>3</sub>ガスを用いた反応性イオンエッチングによりCoZrNbアモルファス磁性薄膜をパターンニングし、凸部幅 $\delta=2\mu$ m、凹部幅L=4 $\mu$ m、凹凸の段差W=0.5 $\mu$ mのパターンを形成した。この磁性薄膜が上部の磁性体層として用いられる。

【0260】これらの工程の間に、下部の磁性体層は昇温及び降温過程を経るが、磁性体の耐熱性は良好であり、磁性膜形成直後と素子形成後で磁気特性はほとんど変わらず、磁気特性に対する熱の影響は極めて軽微であった。

【0261】以上のようにして形成された上部及び下部のCoZrNbアモルファス磁性薄膜の表面又は界面に設けられた帯状の凹凸は、前述した【数5】の不等式を満たしている。

【0262】この薄膜型インダクタの電気的特性を評価したところ、インダクタンスL=0.8 $\mu$ H、品質係数Q=7(5MHz)であった。また、直流重畳特性を測定したところ、インダクタンスは直流電流300mAまでフラットで、350mA以上で低下した。

【0263】なお、下部磁性体層の下地のSiO<sub>2</sub>膜及び上部磁性体層のパターンニングは、フォトリソグラフィに限らず、微細な切削による機械的加工で行ってもよい。本実施例では磁性体層の片面にのみ凹凸を形成しているが、両面に凹凸を形成してもよい。

【0264】また、磁性体層としてソフトフェライトのように絶縁性の磁性体を用いた場合には、平面コイルに直接磁性体層を積層することができるので、溝部を有するコイル導体自体を磁性体層に凹凸を与えるための下地として利用することもできる。

【0265】更に、コイル導体の溝部を埋め込むための絶縁体として、前述したポリイミドを用いる代わりに、CVD法又はパイアススパッタ法によるSiO<sub>2</sub>膜を用いても、ほぼ同様な電気的特性が得られた。

【0266】下部のSiO<sub>2</sub>膜のパターンニング及び上部のCoZrNb層のパターンニングを行わず、上下の磁性

体層を平滑なまま用いた以外は実施例21と同様な方法により薄膜型インダクタを作製した(実施例21a)。

【0267】下部のSiO<sub>2</sub>膜を凸部幅 $\delta=2\mu\text{m}$ 、凹部幅 $L=20\mu\text{m}$ 、凹凸の段差 $W=1\mu\text{m}$ にパターンニングし、上部のCoZrNb層を凸部幅 $L=20\mu\text{m}$ 、凹部幅 $\delta=2\mu\text{m}$ 、凹凸の段差 $W=1\mu\text{m}$ にパターンニングした以外は実施例21と同様な方法により薄膜型インダクタを作製した(実施例21b)。この場合、磁性体層の帯状の凹凸は前述した[数5]の不等式を満足しない。

【0268】実施例21a及び実施例21bの薄膜型インダクタの特性を評価したところ、インダクタンス値は実施例21の薄膜型インダクタと比較して8倍程度の大きさであったが、20mA以上の直流電流を重畳するとインダクタンス値は急激に低下した。

#### 【0269】実施例22

第4の手段において、図43の磁気素子を作製した実施例を示す。

【0270】厚さ $30\mu\text{m}$ のポリイミドフィルム上に厚さ $100\mu\text{m}$ の銅箔を接着した後、ウェットエッチングによって導体幅 $100\mu\text{m}$ 、導体間隔 $100\mu\text{m}$ の長方形スパイラル状にパターンニングして平面コイルを形成した。更に、困難軸透磁率5000、飽和磁束密度10kGを有する $15\mu\text{m}$ の一軸異方性Co系アモルファス磁性箔を二層を用い、 $10\mu\text{m}$ ポリイミドフィルムを介して上下より平面コイルを挟み込んで平面インダクタを形成した。ここで用いているCo系アモルファス磁性箔は、単ロールを用いた溶湯急冷法で作製したものであり、磁界中アニール法によって一軸磁気異方性を付与しており、異方性磁界は20eであった。本平面インダクタの一軸異方性アモルファス合金箔の一層目と二層目は $5\mu\text{m}$ 厚ポリイミドフィルムを層間絶縁に用いて積層してある。また、このインダクタの外形寸法は $5\times 20\text{mm}$ 、平面コイルのスパイラル巻数は20である。

【0271】このようにして、製作したところ、インダクタンス値(12.5 $\mu\text{H}$ )は直流電流400mAまでフラットで、500mA以上で低下し始めた。

#### 【0272】実施例23

実施例22と全く同一の方法で平面トランスを作製した。1次側スパイラルコイルの巻数は20、2次側スパイラルコイルの巻数は10である。本平面トランスは、実施例22の平面インダクタと2次スパイラルコイル以外は全く同一の構造を有する。1次側インダクタンスの直流重畳特性は、実施例22の平面インダクタとほぼ同等であった。

#### 【0273】実施例24

第4の手段において、図35Bに示す磁気素子を作製した実施例を示す。

【0274】表面熱酸化したシリコン基板上に(熱酸化SiO<sub>2</sub>膜の膜厚は $1\mu\text{m}$ )RFマグネトロンスパッタ

装置によって $1\mu\text{m}$ 膜厚のCoZrNbアモルファス磁性薄膜を1000eの磁界中で成膜して約50eの異方性磁界を有する一軸磁気異方性を付与した。その上に、プラズマCVDあるいはRFスパッタ法によって厚さ5000ÅのSiO<sub>2</sub>膜を堆積した、これらの方法を用いて、CoZrNb磁性膜の容易軸が各層毎に一致するように、5000ÅのSiO<sub>2</sub>膜を層間絶縁に用いて、合計4周期の磁性体層/絶縁体層の多層膜を形成した後、DCマグネトロンスパッタあるいは高真空蒸着装置を用いてAl-0.5%Cu層を $10\mu\text{m}$ の厚さで形成した。このAl-0.5%Cu膜上に $1.5\mu\text{m}$ 厚のSiO<sub>2</sub>を形成し、更にポジティブタイプフォトレジスタをスピンコートし、フォトリソグラフィーによって長方形スパイラルコイルの長軸に磁性体の容易軸と一致するようにパターンニングした。レジストのコイルパターンをマスクにしてCF<sub>4</sub>ガスを用いた反応性イオンエッチングによってSiO<sub>2</sub>をパターンニングし、更にSiO<sub>2</sub>のコイルパターンをマスクにしてCl<sub>2</sub>、BCl<sub>3</sub>ガスを用いた反応性イオンエッチングによってAl-0.5%Cuをコイルパターンニングした。コイルパターンは、幅 $100\mu\text{m}$ 、導体間隔 $5\mu\text{m}$ 、2つの長方形スパイラルコイルを短軸方向に並べて直列接続し、スパイラル巻数20である。Al-0.5%Cuエッチングの後の $10\mu\text{m}$ 段差を平坦にするために、ポリイミドの前駆体であるポリアミック酸溶液を $15\mu\text{m}$ 厚さにスピンコートし、 $350^\circ\text{C}$ の温度で熱硬化してポリイミデ化した。更に、CF<sub>4</sub>ガスとO<sub>2</sub>ガスによる反応性イオンエッチングによってAl-0.5%Cu導体上面から $1\mu\text{m}$ の厚さになるまでポリイミド膜表面をエッチバックした。最後に、上部磁性体の磁化容易軸が下部磁性体のそれと一致するように、4層多層磁性膜を形成した。なお、下部磁性体は、デバイス作製中に種々の昇温、降温プロセスを経るが、磁気特性に対するこのような熱の影響はきわめて軽微であり、磁性体の耐熱性は良好で、磁性膜形成後とデバイス形成後の磁気特性は殆ど同一であった。このようにして形成した薄膜型のインダクタの電気的特性を評価したところ、インダクタンス $L=2\mu\text{H}$ 、品質係数 $Q=15$ (5MHz)であった。また、直流重畳特性を測定したところ、インダクタンスは直流電流150mAまでフラットで200mA以上で低下した。

【0275】また、コイル平坦化絶縁膜としては、ポリイミドを用いた場合と有機シランを用いたCVD法やバイアススパッタ法によるSiO<sub>2</sub>膜を用いた場合で、ほぼ同様の電気的特性が得られた。

#### 【0276】実施例25

実施例24と同様な方法で薄膜型のトランスを作製した。1次側スパイラルコイルの巻数は20、2次側スパイラルコイルの巻数は10である。1次と2次のスパイラルコイルは $2\mu\text{m}$ ポリイミド層で絶縁した。本薄膜型トランスは、実施例24の薄膜型インダクタと2次スパ



イラルコイル以外は全く同一の構造を有する。1次側インダクタンスの直流重畳特性は、実施例24の薄膜型インダクタとほぼ同等であった。

#### 【0277】実施例26

実施例22で作製した平面型インダクタを入力電圧12V、出力電圧5Vの降圧チョッパ型DC-DCコンバータの出力側チョークコイルに適用した。このコンバータは、スイッチング周波数500kHzで、負荷電流400mAまで出力することができ、最大出力電流2W、効率80%が得られた。

#### 【0278】実施例27

実施例23で作製した平面トランスを入力電圧12V、出力電圧5Vのフォワード型DC-DCコンバータのトランスに適用し、出力側チョークコイルには実施例22で作製した平面インダクタを用いた。スイッチング周波数500kHz、定格出力は実施例26のDC-DCコンバータと同等であり、絶縁型DC-DCコンバータの小型化が実現できた。

#### 【0279】実施例28

実施例24で作製した薄膜型インダクタを入力電圧12V、出力電圧5Vの降圧チョッパ型のDC-DCコンバータの出力側チョークコイルに適用した。このコンバータは、スイッチング周波数4MHzであり、負荷電流150mAまで出力することができ、最大出力電流0.75W、効率70%が得られた。

#### 【0280】実施例29

実施例25で作製した薄膜型トランスを入力電圧12V、出力電圧5Vのフライバック型DC-DCコンバータのトランスに適用し、出力側チョークコイルには実施例24の薄膜型インダクタを使用した。定格出力は実施例28のDC-DCコンバータとほぼ同等であるが、磁気部品をすべて薄膜化したことにより、絶縁型DC-DCコンバータの大幅な小型軽量化が図られた。

#### 【0281】実施例30

第5の手段の実施例を示す。

【0282】10μm厚のポリイミドフィルム上に100μm厚の銅箔を接着した後、塩化第二鉄を用いた湿式化学エッチングにより、図49に示すような形状で、10個の1ターン平面コイルを形成し、20個の外部端子用パッド部を設けた。コイル導体の幅は300μm、コイル導体間間隔は100μmとした。最も外側の1ターン平面コイルの外形寸法は9mm、最も内側の1ターン平面コイルの外形寸法は1.8mmである。この平面コイルの上に、10μm厚のポリイミドフィルムを接着した。これを一辺10mm、厚さ10μmの零磁歪Co系アモルファス合金箔で挟み込んで、平面磁気素子を作製した。

【0283】(a) 作製された平面磁気素子を用い、図52の接続方法で平面コイルの外部接続端子を接続することにより、スパイラルコイル型に類似した平面インダ

クタを構成した。この平面インダクタをLCRメータで測定したところ、500kHzでのインダクタンスの値は約20μH、Q値は約10であった。

【0284】この平面インダクタを500kHzスイッチングで動作するハイブリッドIC型のDC-DCコンバータの出力チョークに応用したところ、正常に動作することが確認された。これによって、薄型の直流電源を開発できた。

【0285】また、この平面インダクタを20MHz非線形電力増幅器のパワーMOSFETの直流バイアス供給ライン高周波阻止フィルタに適用した。この素子の採用により、電源ラインのフィルタを著しく小形化できた。

【0286】(b) 作製された平面磁気素子を用い、図51の接続方法で平面コイルの外部接続端子を接続することにより、擬つづら折れコイル型平面インダクタを構成した。この平面インダクタをLCRメータで測定したところ、インダクタンスの値は約300nHであった。この平面インダクタは、数10MHz程度まで周波数特性が良好であった。

【0287】この平面インダクタを20MHz非線形電力増幅器の出力側ローパスフィルタに用いたところ、従来の空心コイルを用いたフィルタに比べて著しい小形化が実現できた。

【0288】(c) 作製された平面磁気素子を用い、図55の接続方法で平面コイルの外部接続端子を接続することにより、トランスを形成した。1次平面コイルの総ターン数は7、2次平面コイルの総ターン数は2であった。このトランスの変圧比を測定したところ、約0.25であった。

【0289】(d) 作製された平面磁気素子を1MHz電力増幅器の整合用トランスとして用いた。この電力増幅器の出力インピーダンスは200Ωである。50Ω負荷に整合させるため、種々の端子接続を試行した結果、ほぼ満足できる結果を得ることができた。このような整合調整は、従来の平面トランスでは不可能であった。

#### 【0290】実施例31

シリコン基板上にRFスパッタ法により3μm厚のFe40Co60合金膜を形成し、その上にRFスパッタ法により1μm厚のSiO<sub>2</sub>膜を形成した。更に、DCマグネトロンスパッタ法により、10μm厚のAl-Cu合金を形成した。このAl-Cu合金をSiO<sub>2</sub>パターンをマスクとしてマグネトロン式反応性イオンエッチングによりエッチングし、10個の1ターン平面コイルをパターンニングした。なお、外部接続端子は、図49及び図50に示す2種の配置のものをそれぞれ1個ずつ形成した。コイル導体の幅は200μm、コイル導体間間隔は5μmとした。最も外側の1ターン平面コイルの外形寸法は4.5mm、最も内側の1ターン平面コイルの外形寸法は0.81mmである。このAl-Cuパターンの

上から、プラズマCVD法により $\text{SiO}_2$ を埋め込んだ後、レジストエッチバック法により $\text{SiO}_2$ 上面を平坦化した。最後に、下層の磁性膜と同じ $3\mu\text{m}$ 厚の $\text{Fe}_{40}\text{Co}_{60}$ 合金膜を形成し、平面磁気素子を作製した。

【0291】(a) 作製された平面磁気素子のうち図49に示す片側外部端子型の磁気素子を用い、外部接続端子をボンディングワイヤを介してリードフレームに接続した後、樹脂封止することにより図67に示すシングルインラインパッケージタイプ(SIP)の20ピン素子を作製した。

【0292】この素子を半導体リレーと組み合わせて、外部から電子回路的にインダクタンスを多段調整できるようにした。これにより、素子の調整機能を一段と容易にすることができた。

【0293】(b) 作製された平面磁気素子のうち図50に示す両側外部端子型磁気素子を用い、前記と同様にして図68に示すデュアルインラインパッケージタイプ(DIP)の40ピン素子を作製した。

【0294】この素子を半導体リレーと組み合わせて、外部から電子回路的に変圧比を多段調整できるようにした。これにより、素子の調整機能を一段と容易にすることができた。

【0295】(c) (a)と同様なSIPタイプの20ピンインダクタ素子を作製する際、樹脂で封止する代わりに、 $\text{Mn-Zn}$ フェライトパッケージでパッケージングした。この素子は(a)の素子に比べて、インダクタンス値が倍増した。

【0296】また、この回路の応用として、昇圧チョッパ型DC-DCコンバータ、降圧チョッパ型DC-DCコンバータ、超薄型携帯電話のrf回路、共振型DC-DCコンバータなどがある。その回路図の例として、図69に昇圧チョッパ型DC-DCコンバータ、図70に降圧チョッパ型DC-DCコンバータ、図71に超薄型携帯電話のrf回路、図72に共振型DC-DCコンバータを示す。

#### 【0297】実施例32

図62Aに示した構造の1ターン型の平面インダクタを製造した。基板としてはSi基板を用い、導体はAl、絶縁体は酸化シリコンである。

【0298】なお図62Aにおける各パラメータは、図62Bの記号に従い、下記の通りである。

$$d1 = 1 \times 10^{-3} \text{ (m)}, d2 = 5 \times 10^{-3} \text{ (m)}$$

$$\delta 1 = 1 \times 10^{-6} \text{ (m)}, \delta 2 = 1 \times 10^{-6} \text{ (m)}$$

$$\mu s = 104, \rho = 2.65 \times 10^{-8} \text{ (}\Omega\text{m)}$$

$$d3 = 14 \times 10^{-6} \text{ (m)}$$

この様に作成したインダクタの各種特性は、

$$L = 32 \text{ (nH)}$$

$$\text{RDC} = 14 \text{ (m}\Omega\text{)}$$

$$I_{\text{max}} = 630 \text{ (mA)}$$

$$Q_{1\text{MHz}} = 15, Q_{10\text{MHz}} = 150$$

であった。なおQは品質係数を表わし、直流抵抗成分に対し有効に働くL成分比を示すものであり、大きい方が優れたインダクタといえる。

【0299】また漏れ磁界もほとんどないことが確認された。

【0300】参考のため、同一外形( $d2 = 5 \times 10^{-3}$  (m)、 $d3 = 14 \times 10^{-6}$  (m))の平面状スパイラルコイル(ターン数125)を作成し、特性を比較した。断面形状を図73に示す。導体45の上面及び下面に磁性体30が配置されている。

【0301】この様に作成したインダクタの各種特性は、

$$L = 900 \text{ (}\mu\text{H)}$$

$$\text{RDC} = 600 \text{ (}\Omega\text{)}$$

$$I_{\text{max}} = 6.4 \text{ (mA)}$$

$$Q_{1\text{MHz}} = 9, Q_{10\text{MHz}} = 90$$

であった。

【0302】この結果から明らかなように1ターン型のコイルは電流容量が大きく、大電流を要する電力用として有効なことが分かる。またインダクタンス自体は小さいが、インピーダンス的には高周波化することで十分カバーできる。

#### 【0303】

【発明の効果】以上詳記したように、本発明の各手段により、本発明により下記の効果を有する。

【0304】本発明の第1の手段による平面型磁気素子は、コイル抵抗を低減することにより、インダクタではQを、トランスではゲインおよび電圧変動率を改善することができ、これらの素子の性能向上に著しく貢献する。

【0305】本発明の第2の手段では、インダクタを考えた場合、許容電流とインダクタンスの大きさによりその性能は決定される。許容電流はコイルを構成する導体の断面積で決まるが、幅を広げることはその分占有面積が増大し、小型化への要求に反する。またインダクタンスは、ターン数を増やせば大きくなるが、その分占有面積が増大し、これも小型化への要求に反する。よって、本手段により、許容電流を大きく取ることが可能である。

【0306】本発明の第3の手段において、平面インダクタを設計する際には、インダクタンスをなるべく大きな値としたい。この手段のように、磁性体の外形寸法wをスパイラルコイルの外形寸法a0よりも $2\alpha$ ( $\alpha$ は前述の通り)以上大きくすれば、インダクタンスを有効に高めることができる。例えば、 $w = a0 + 2\alpha$ とすることにより、 $w = a0$ の場合の1.8倍以上の値が得られる。

【0307】以上のように、本手段によってスパイラル型の平面インダクタを構成すれば、インダクタ外部への漏れ磁束を低減でき、また、インダクタンスの増大効果

も期待できるので、平面インダクタの性能改善に大きく貢献する。

【0308】更に、本手段による平面インダクタはインダクタンスが高いだけでなく、漏れ磁束を少なくできるため、集積回路用素子として適しており、電子機器の小型・薄型化に大いに貢献する。

【0309】本発明の第4の手段による平面型磁気素子は、磁性体の一軸磁気異方性を有効に活用することにより、直流重畳特性及び高周波特性に優れ、特にDC-DCコンバータなどの高周波回路の用途に適しており、かつ、小形化・集積化が可能である。

【0310】本発明の第5の手段の平面磁気素子は外部回路との電氣的接続が極めて容易であり、外部から電氣的特性のトリミングが可能であるので、素子の応用上極めて有用な磁気部品となる。この磁気素子の応用としては、例えば、先の実施例に示したが、昇圧チョッパ型DC-DCコンバータ、降圧チョッパ型DC-DCコンバータ、超薄型携帯電話のrf回路、共振型DC-DCコンバータなどがある。

【0311】本発明の第6の手段の磁気素子によれば、漏れ磁界が無く、かつ電流量のとれる構造を提供することでこれも小型化に貢献するところ大である。

【0312】上記の各手段による発明の効果により、磁気素子の小型化を図ることが可能であり、平面インダクタなどに要求される諸特性も改善される。

【0313】本発明の第6の手段の効果により、半導体基板上に、磁気素子として平面状のマイクロコイルからなる平面インダクタ及びトランスを形成することで、例えばトランジスタなどの能動素子、抵抗、コンデンサなどの受動素子との1チップ化が可能であり、平面インダクタ及びトランスを含む電気素子を小型化できる。また、半導体の微細加工技術を用いることにより、平面インダクタ及びトランスそのものも小さくすることができる。

【0314】よって、本発明によれば、従来カード化、小型化等の障害となっていたインダクタンス部を小型化、薄型化できるため、装置全体の小型化に寄与することができる。

#### 【図面の簡単な説明】

【図1】 アモルファス磁性体箔と正形状スパイラルコイルを用いた従来の平面インダクタの概略図。

【図2】 従来のDC-DCコンバータの出力チョークコイルに流れる電流波形の一例。

【図3】 従来の磁性体のB-H曲線。

【図4】 従来のインダクタの直流重畳特性の一例。

【図5】 本発明に係る平面インダクタの分解斜視図。

【図6】 本発明に係る平面インダクタの概略断面図。

【図7】 本発明に係る平面トランスの分解斜視図。

【図8】 本発明に係る平面トランスの概略断面図。

【図9】 溝アスペクト比と平面インダクタのコイル抵

抗及びインダクタンスとの関係を示すグラフ。

【図10】 溝アスペクト比と平面インダクタのL/Rとの関係を示すグラフ。

【図11】 溝アスペクト比と平面トランスのゲインとの関係を示すグラフ。

【図12】 図12Aは第1と第2の手段を組み合わせた、高導体アスペクト比及び高溝アスペクト比の磁気素子の分解斜視図、図12Bは図12Aの断面図。

【図13】 AからDは導体間空洞の形成方法の製造工程を示す工程図。

【図14】 導体間空洞の形成方法の製造工程を示す工程図。

【図15】 平行平板コンデンサの概略図。

【図16】 C/C0のk依存性を示すグラフ。

【図17】 コイルを磁性体で挟んだ図。

【図18】 コイルを絶縁体を介して多層化した図。

【図19】 コイルパターンの変形例を示した図。

【図20】 導体と基板の間に接合層を設けた図。

【図21】 マイクロトランスの構成例を示す図。

【図22】 平面コイルの構成例を示す図。

【図23】 インダクタの構成例を示した分解斜視図。

【図24】 インダクタの構成例を示した分解斜視図。

【図25】 AからCはインダクタ外部への漏れ磁束の様子を示したインダクタの断面図。

【図26】 平面インダクタスパイラルコイル端部付近の磁界分布の様子を示すグラフ。

【図27】 磁性体外形寸法wとインダクタ外部漏れ磁束との関係を示すグラフ。

【図28】 磁性体外形寸法wとインダクタンスとの関係を示すグラフ、を示す。

【図29】 磁性体層に一軸磁気異方性を導入した平面インダクタの分解斜視図。

【図30】 図29の平面インダクタの磁性体層の面内における、コイルにより発生する磁界の方向と一軸磁気異方性の方向との関係を示す説明図。

【図31】 磁性体の磁化容易軸方向と磁化困難軸方向における磁化曲線を示す図。

【図32】 Aは図30において磁界の方向と磁化容易軸の方向とが平行である磁性体領域における磁束分布を示す図、Bは図30において磁界の方向と磁化容易軸の方向とが直交する磁性体領域における磁束分布を示す図。

【図33】 本発明に係る平面インダクタの分解斜視図。

【図34】 図33の平面インダクタの直流重畳特性を示す図。

【図35】 図33変形例の平面インダクタの分解斜視図。

【図36】 本発明に係る他の平面インダクタの分解斜視図。

【図 37】 図 36 の平面インダクタの直流重畳特性を示す図。

【図 38】 本発明に係る更に他の平面インダクタの分解斜視図。

【図 39】 図 38 の平面インダクタを構成する磁性体層の表面構造を示す斜視図。

【図 40】 図 39 の磁性体層の表面構造パラメータと  $U_k$  の第 2 項との関係を示す図。

【図 41】 図 37 の平面インダクタの直流重畳特性を示す図。

【図 42】 A は磁性体の磁化容易軸方向と磁化困難軸方向における磁化曲線を示す図、B は一軸磁気異方性を有する磁性体の磁化容易軸及び磁化困難軸の透磁率一周波数特性の一例。

【図 43】 本発明の第 1 による平面形磁気素子の例で平面インダクタの概略図。

【図 44】 図 43 の変更例。

【図 45】 本発明の第 2 による平面形磁気素子の例で平面インダクタの概略図。

【図 46】 図 45 の変更例。

【図 47】 図 46 の変更例。

【図 48】 コイル導体が露出する部分に磁気シールド用磁性体を形成した平面インダクタの概略図。

【図 49】 本発明に係る磁気素子の平面図。

【図 50】 本発明に係る他の磁気素子の平面図。

【図 51】 図 49 の磁気素子の外部接続端子を接続することにより作製された平面インダクタの平面図。

【図 52】 図 49 の磁気素子の外部接続端子を接続することにより作製された他の平面インダクタの平面図。

【図 53】 図 49 の磁気素子の外部接続端子を接続することにより作製された更に他の平面インダクタの平面図。

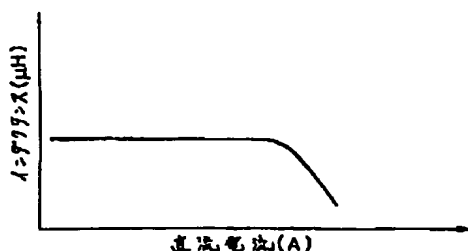
【図 54】 図 49 の磁気素子の外部接続端子の接続方法とインダクタンス値との関係を示すグラフ。

【図 55】 図 49 の磁気素子の外部接続端子を接続することにより作製された平面トランスの平面図。

【図 56】 図 49 の磁気素子の外部接続端子を接続することにより作製された他の平面トランスの平面図。

【図 57】 図 49 の磁気素子の外部接続端子を接続することにより作製された更に他の平面トランスの平面

【図 4】



図。

【図 58】 図 49 の磁気素子の外部接続端子の接続方法と変圧比及び変流比との関係を示すグラフ。

【図 59】 半導体基板上に能動素子と磁気素子とが同一平面上に形成された素子の断面図。

【図 60】 半導体基板上に能動素子及び磁気素子が順次形成された素子の断面図。

【図 61】 半導体基板上に磁気素子及び能動素子が順次形成された素子の断面図。

10 【図 62】 A は 1 ターン構造のコイルの断面図、B は 1 ターン構造のコイルの構造図。

【図 63】 A は図 62 A のコイルを直列接続した図、B は図 63 A のコイルを積層化した図。

【図 64】 図 62 A のコイルにおいて、導体層と絶縁体層を追加したときの断面図。

【図 65】 磁性体材料の選択基準を説明するための参考図であり、スパイラル平面コイルの巻数とコイル導体の最大許容電流及びコイル導体に最大許容電流を流したときに発生する磁界との関係を示す図。

20 【図 66】 本発明の磁気素子を用いて作製したポケットベルの概略図。

【図 67】 本発明の実施例において作製されたシングルインラインパッケージタイプ (SIP) の 20 ピン素子の平面図。

【図 68】 本発明の実施例において作製されたデュアルインラインパッケージタイプ (DIP) の 40 ピン素子の斜視図。

【図 69】 昇圧チョッパ型 DC-DC コンバータの回路図。

30 【図 70】 降圧チョッパ型 DC-DC コンバータの回路図。

【図 71】 超薄型携帯電話の rf 回路図。

【図 72】 共振型 DC-DC コンバータの回路図。

【図 73】 本発明の 1 実施例に係る断面図。

【符号の説明】

10 基板

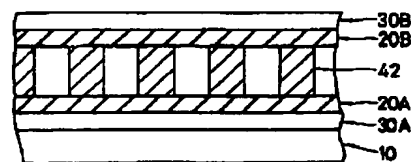
20 絶縁体層

30 磁性体層

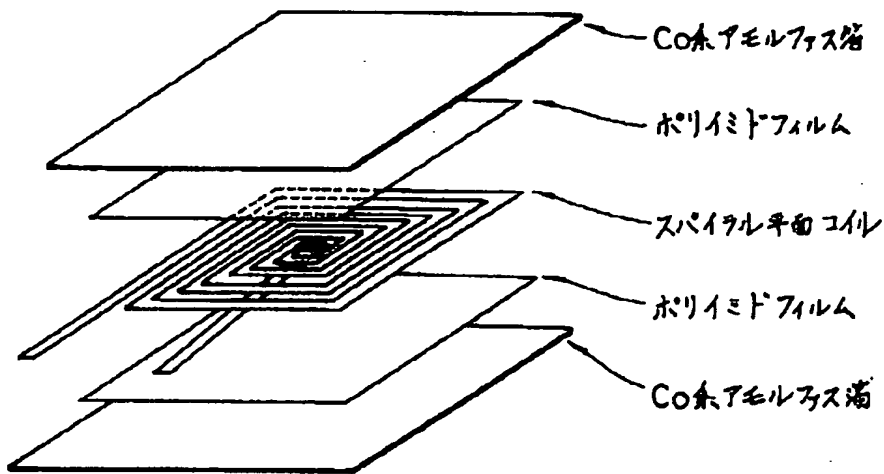
40 平面コイル

40 50 保護層

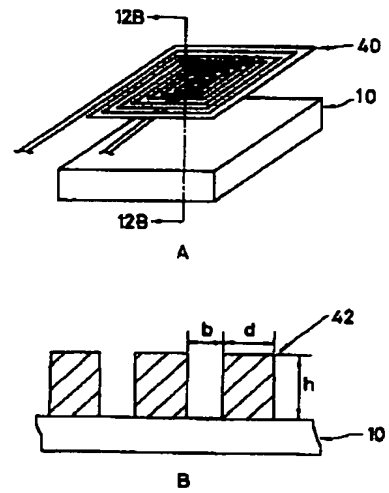
【図 17】



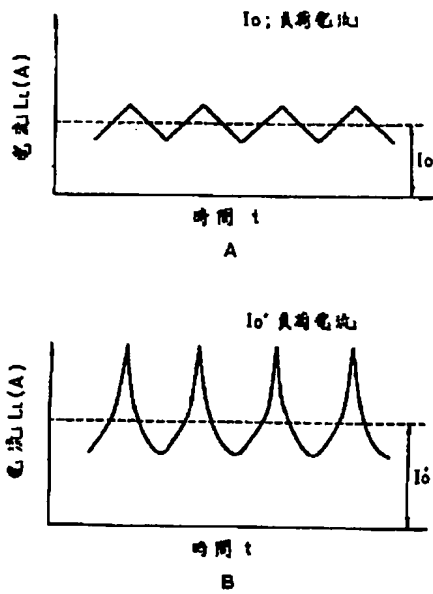
【図 1】



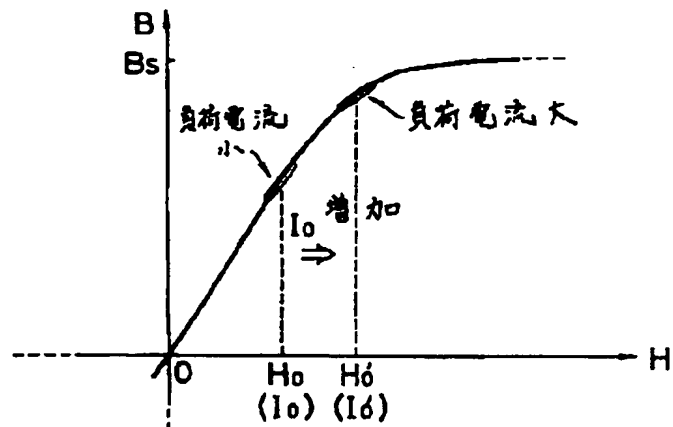
【図 12】



【図 2】

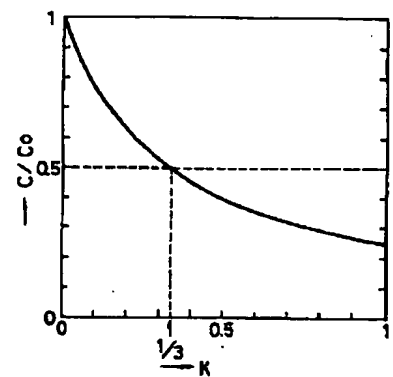
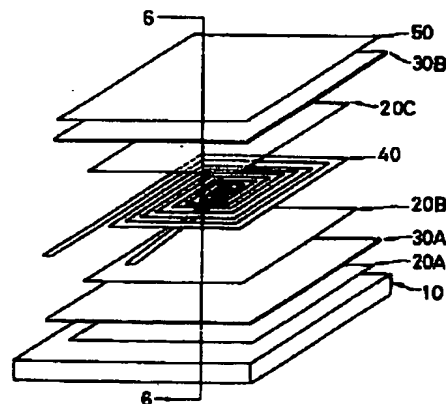


【図 3】

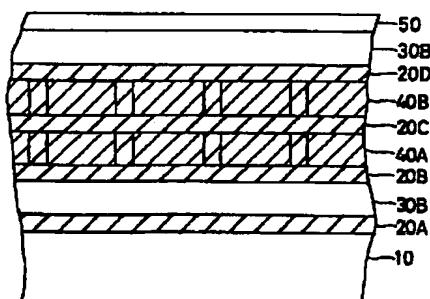


【図 5】

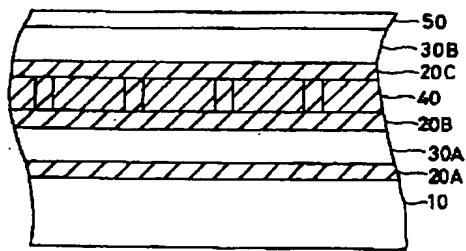
【図 16】



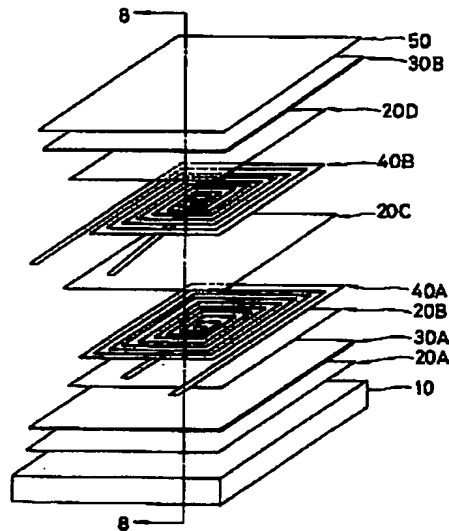
【図 8】



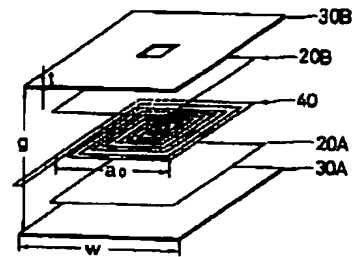
【図6】



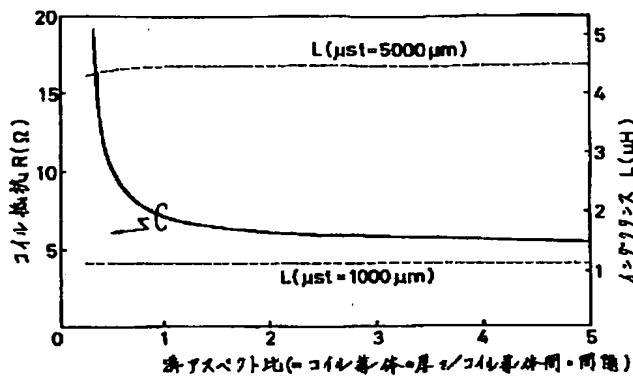
【図7】



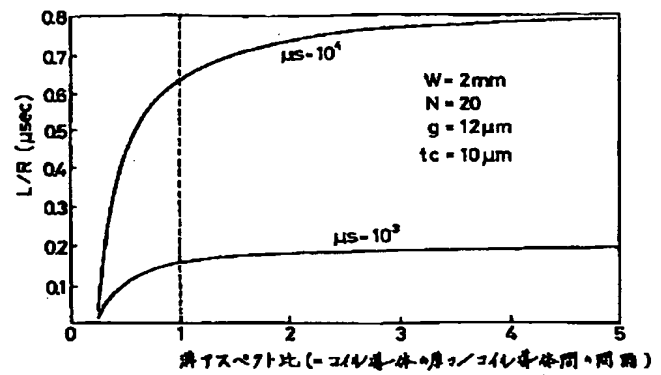
【図23】



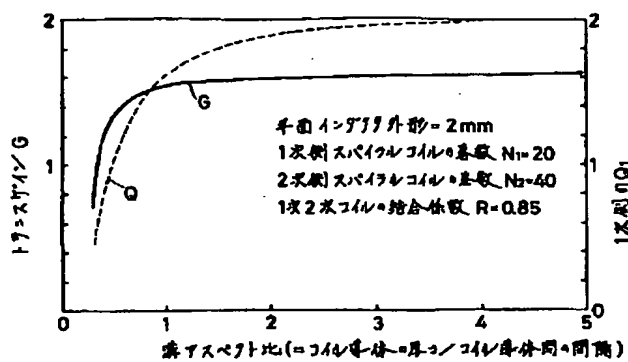
【図9】



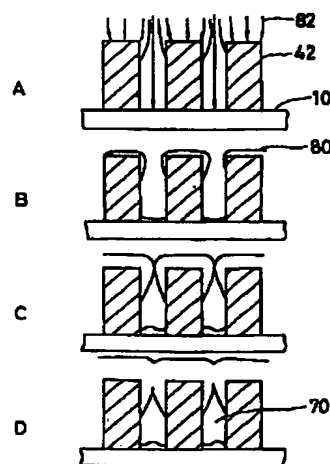
【図10】



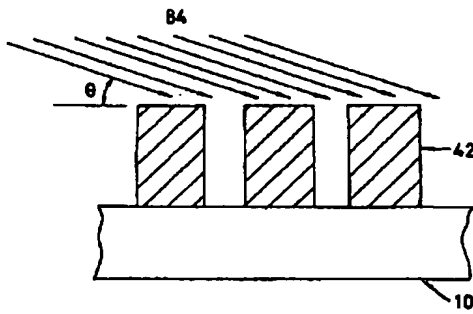
【図11】



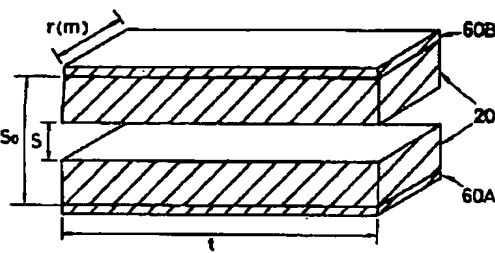
【図13】



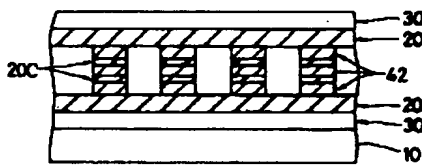
【図14】



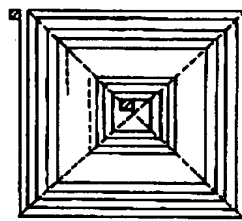
【図15】



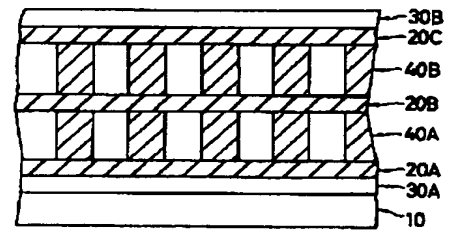
【図18】



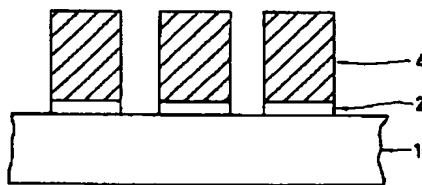
【図19】



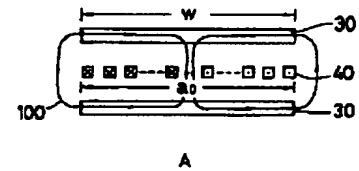
【図21】



【図20】

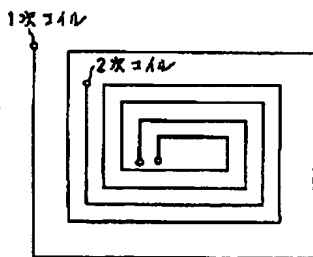


【図25】

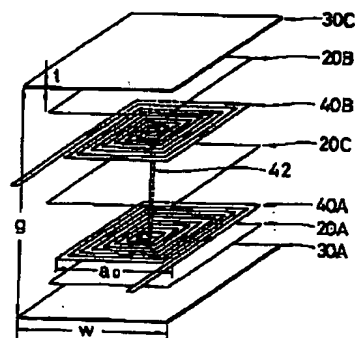


B

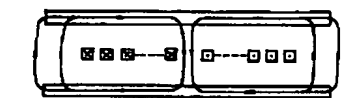
【図22】



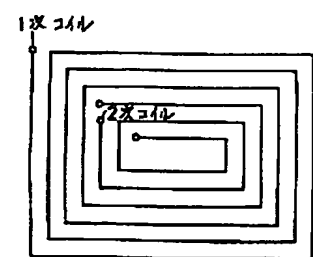
【図24】



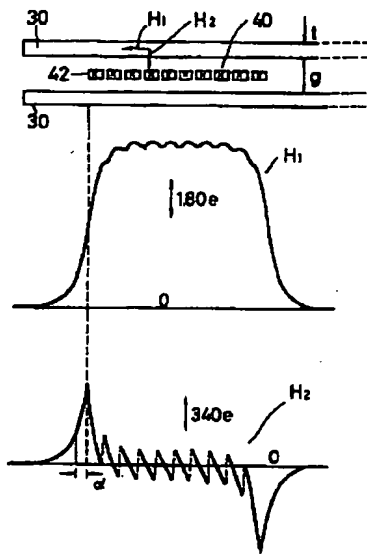
B



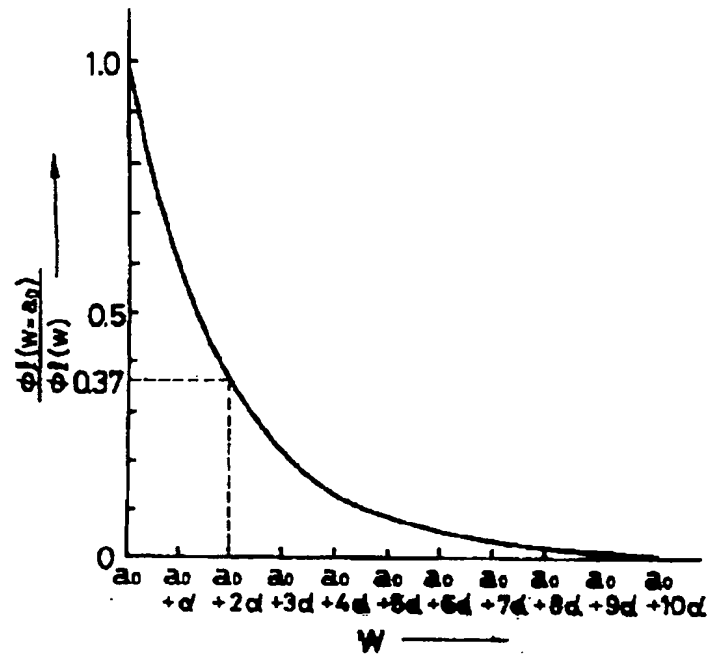
C



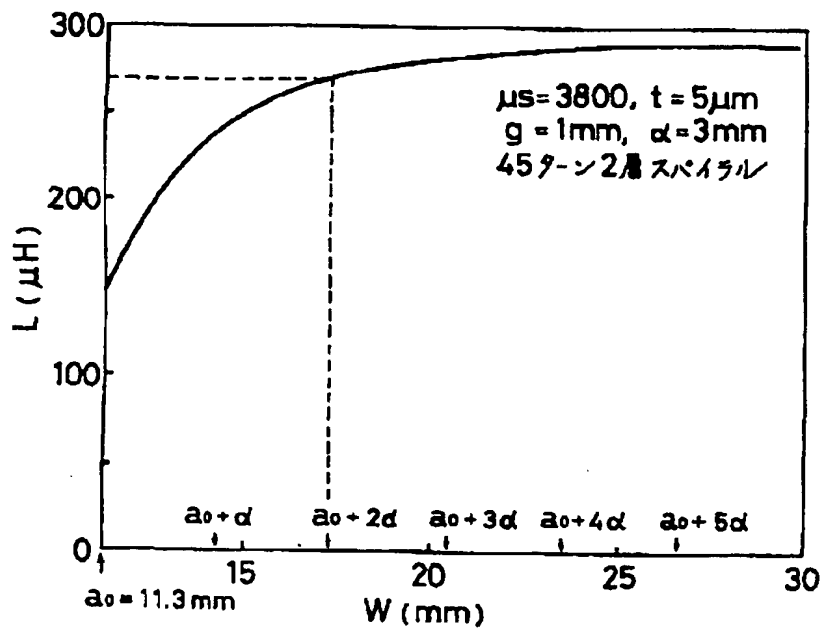
【図26】



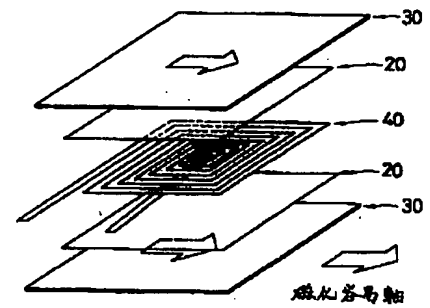
【図27】



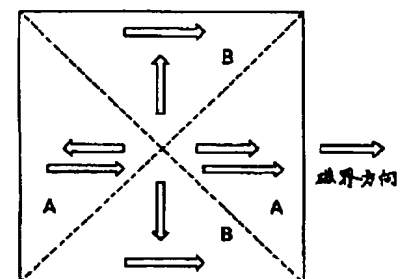
【図28】



【図29】

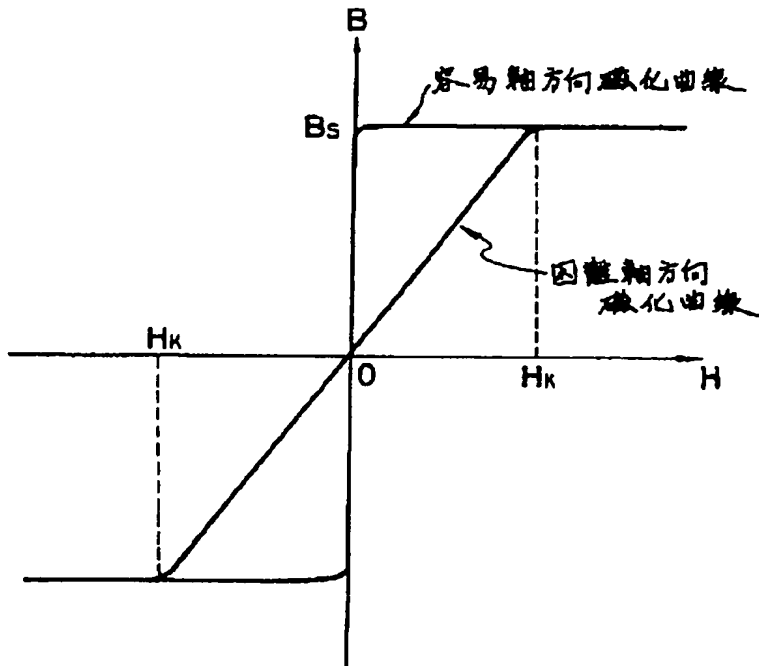


【図30】

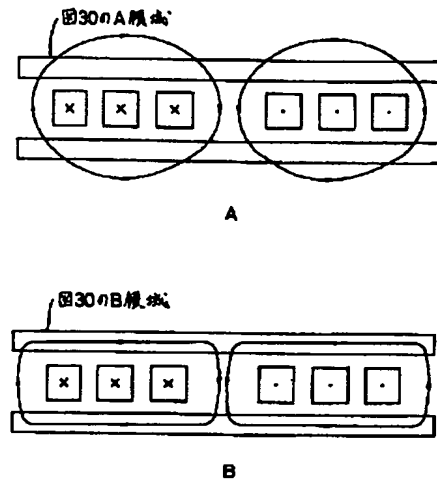




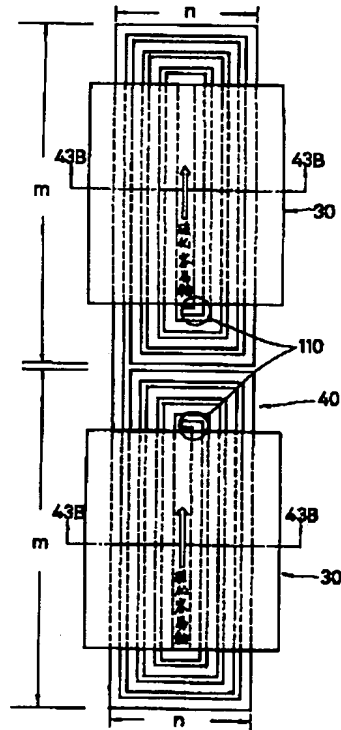
【図31】



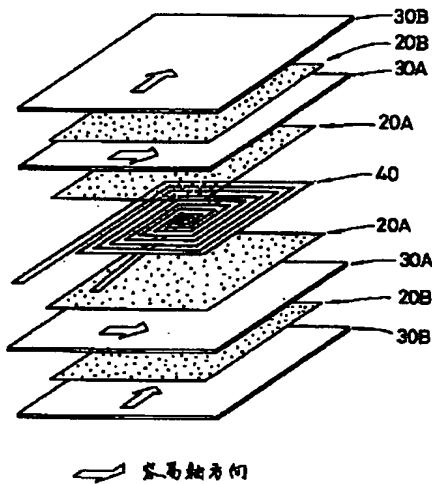
【図32】



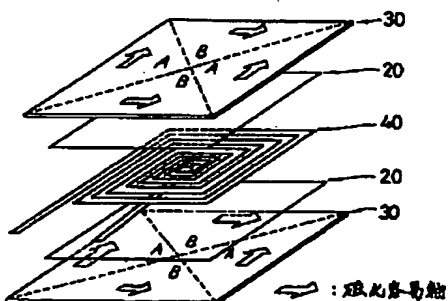
【図45】



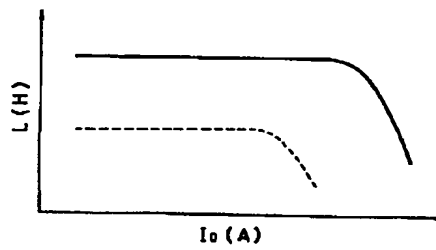
【図33】



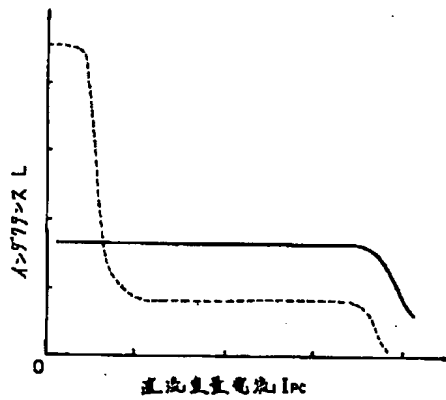
【図36】



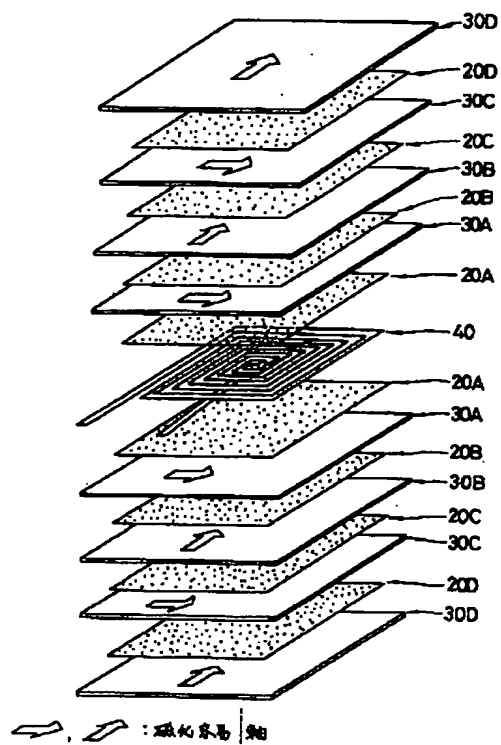
【図34】



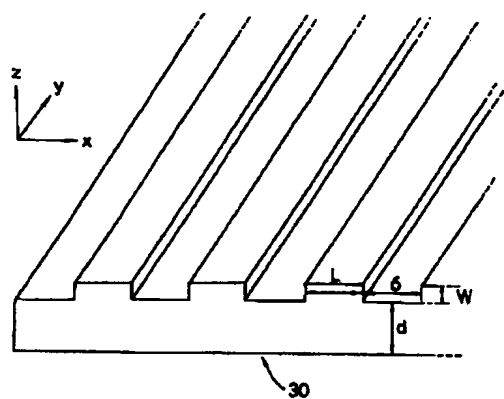
【図37】



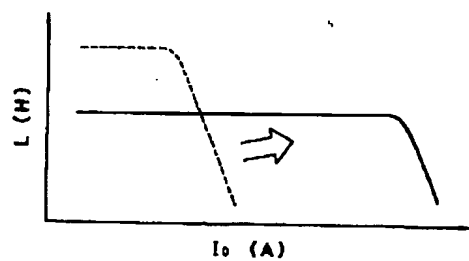
【図35】



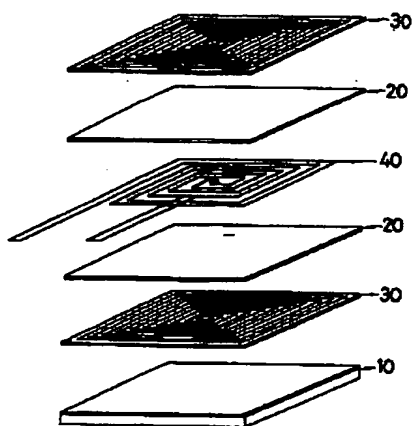
【図39】



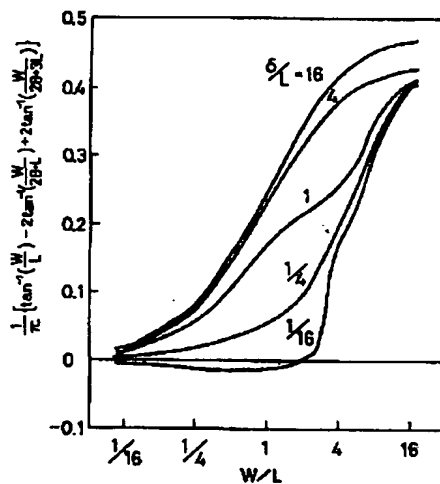
【図41】



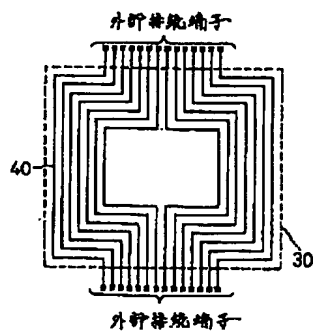
【図38】



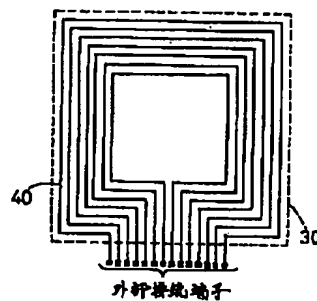
【図40】



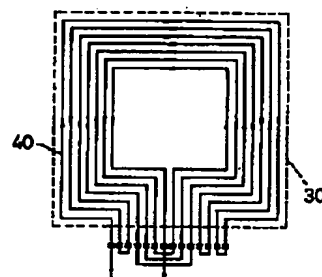
【図50】



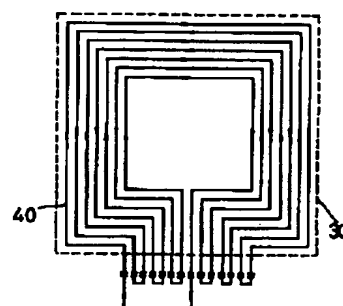
【図49】



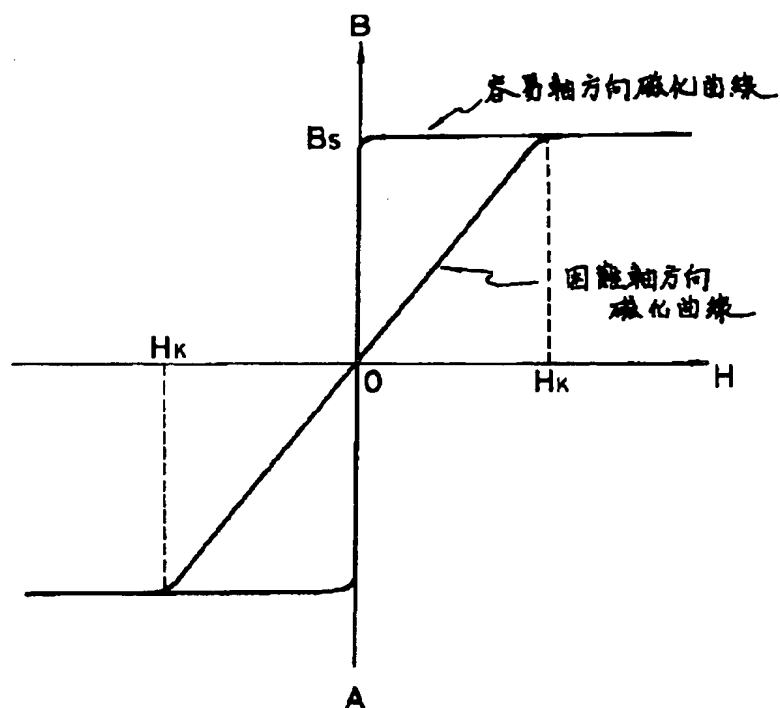
【図53】



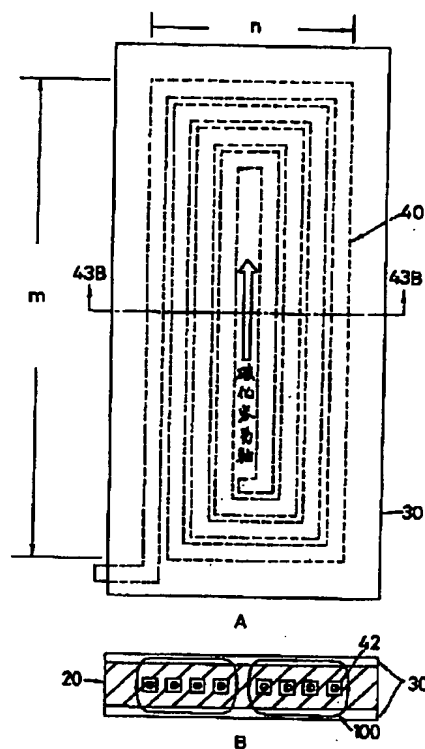
【図51】



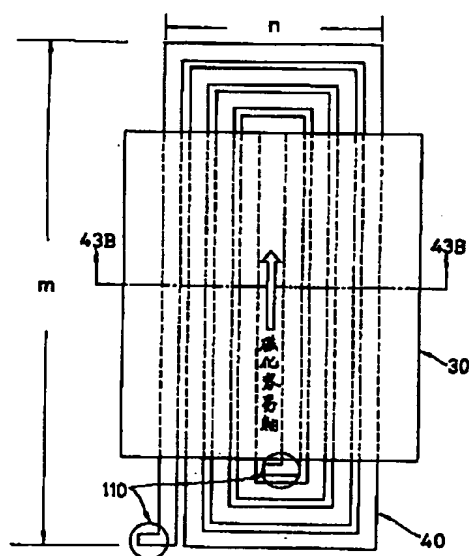
【図 4 2】



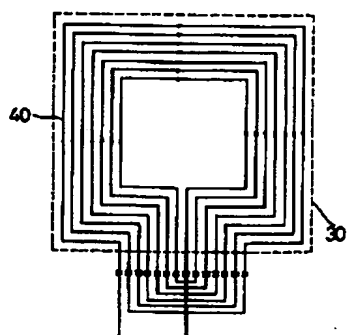
【図 4 3】



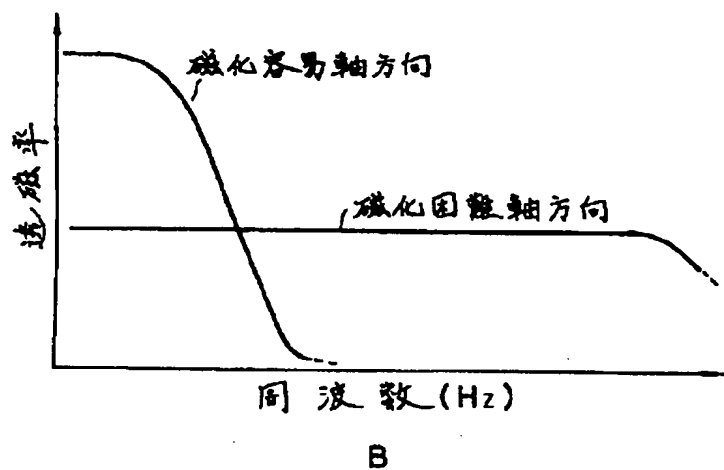
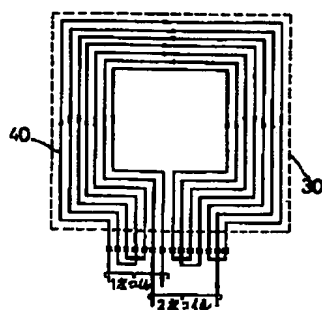
【図 4 4】



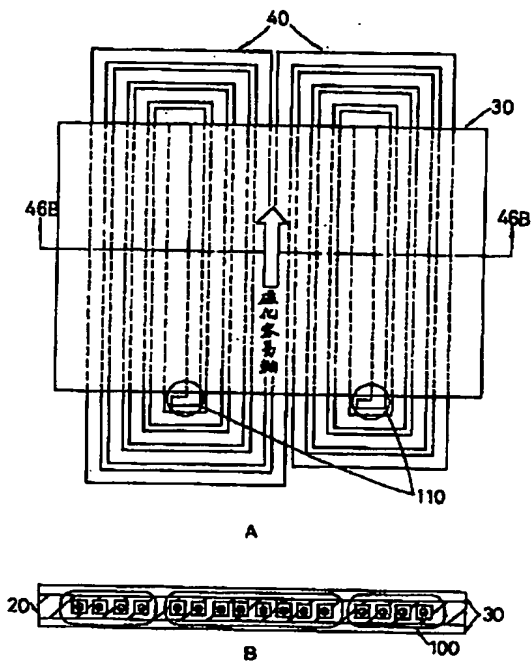
【図 5 2】



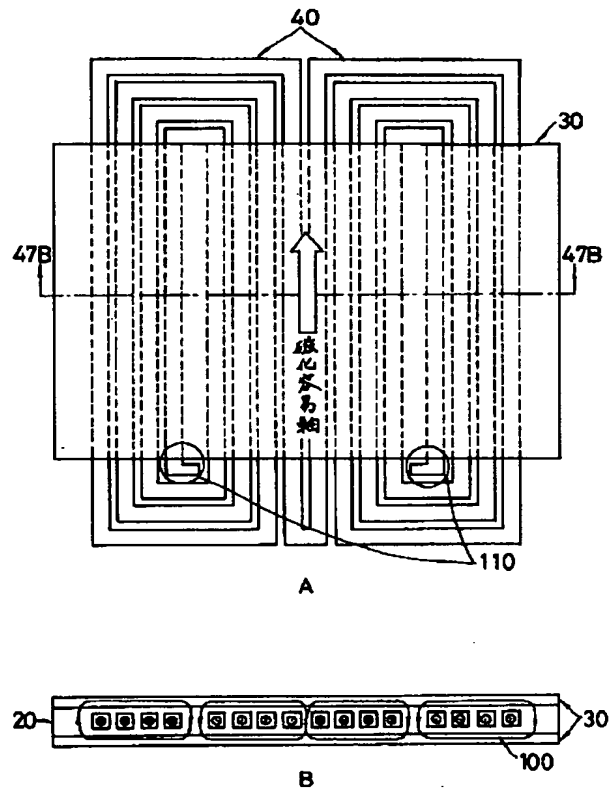
【図 5 5】



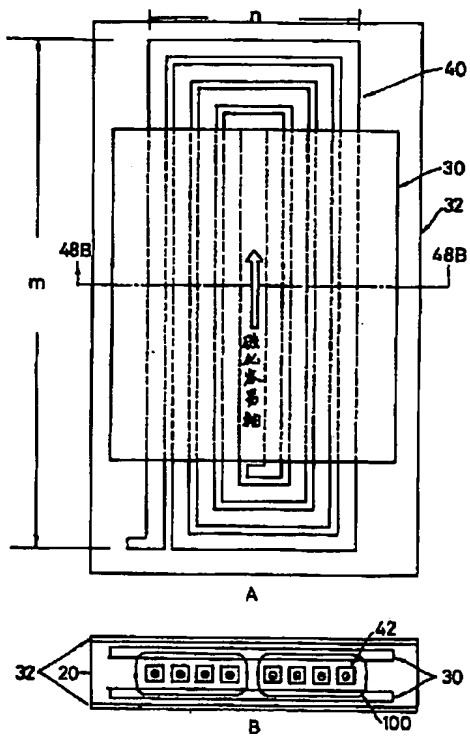
【図46】



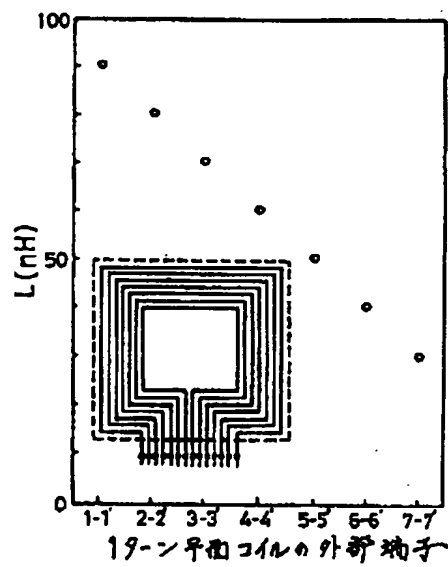
【図47】



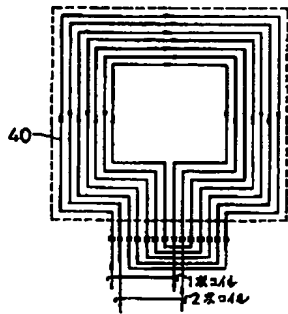
【図48】



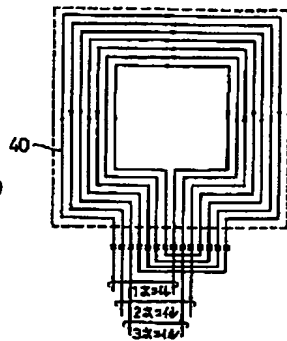
【図54】



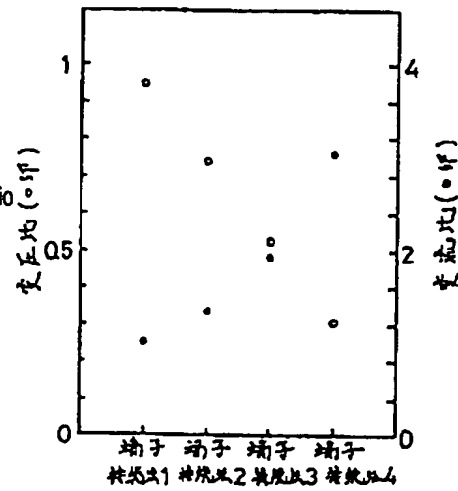
【図 56】



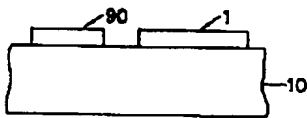
【図 57】



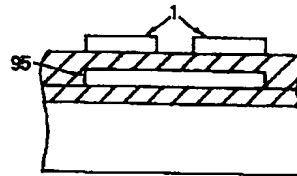
【図 58】



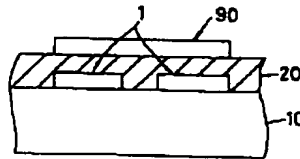
【図 59】



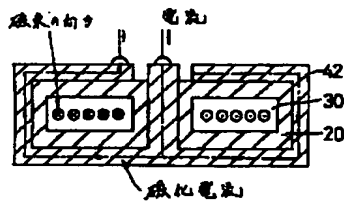
【図 60】



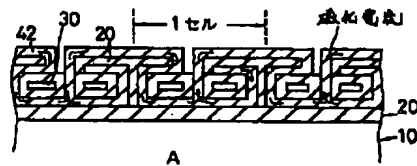
【図 61】



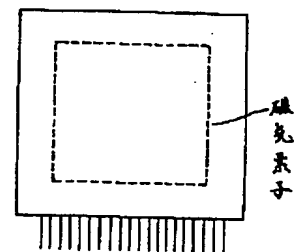
【図 62】



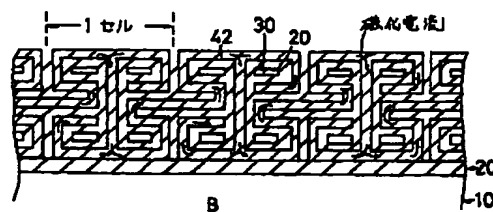
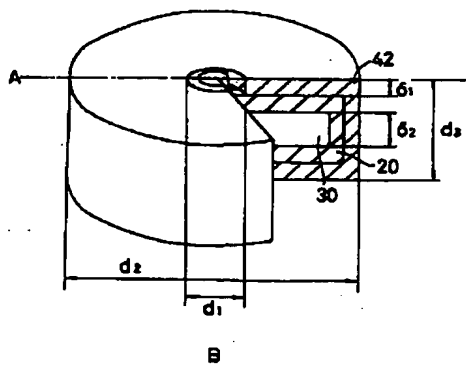
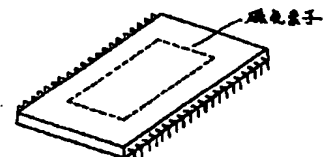
【図 63】



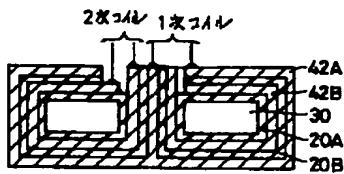
【図 67】



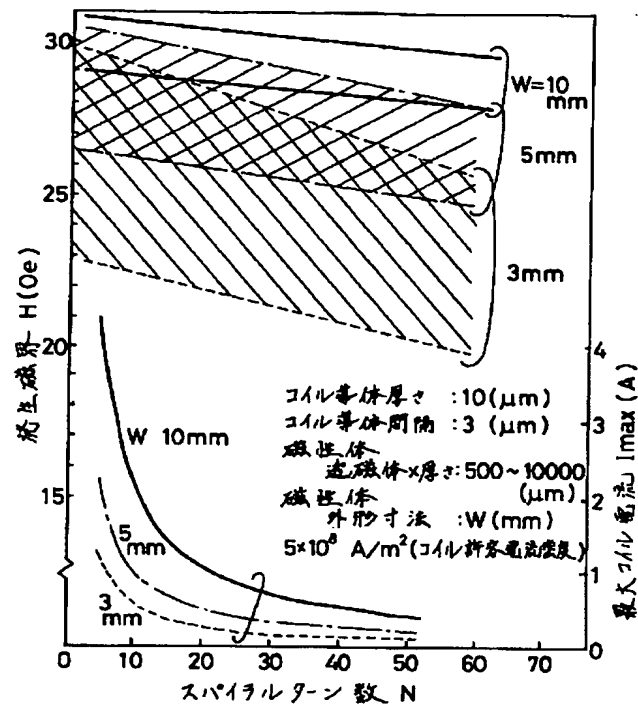
【図 68】



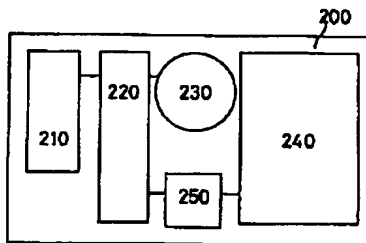
【図 6 4】



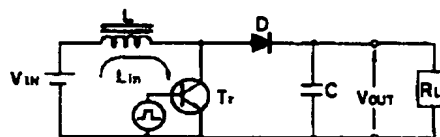
【図 6 5】



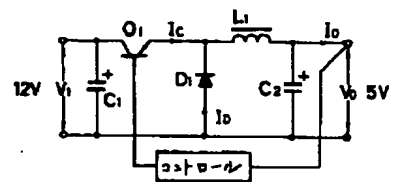
【図 6 6】



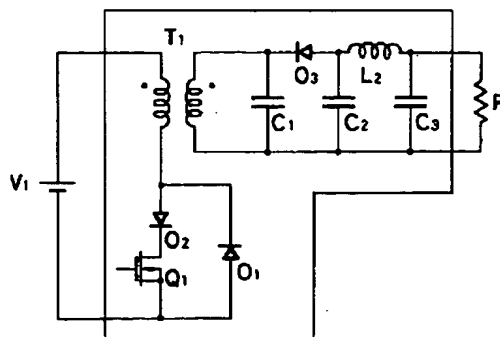
【図 6 9】



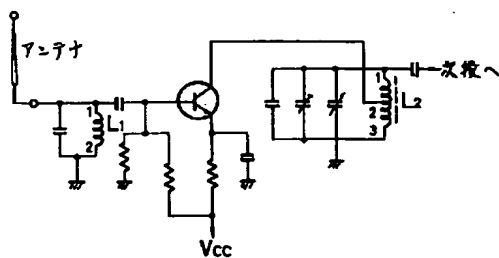
【図 7 0】



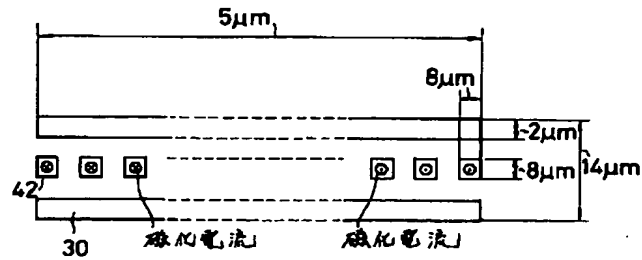
【図 7 2】



【図 7 1】



【図73】



ターン数:125

## フロントページの続き

(31)優先権主張番号 特願平3-91614

(32)優先日 平成3年3月29日(1991. 3. 29)

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平3-93434

(32)優先日 平成3年3月30日(1991. 3. 30)

(33)優先権主張国 日本(JP)

(31)優先権主張番号 特願平3-93717

(32)優先日 平成3年3月30日(1991. 3. 30)

(33)優先権主張国 日本(JP)

(72)発明者 佐橋 政司

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 長谷川 迪雄

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 澤邊 厚仁

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 富田 宏

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内